

第 5 章

触发器及含触发器的PLD

• 5.1 概述

- 5.2 RS触发器
- 5.3 钟控触发器
- 5.4 主从触发器
- 5.5边沿触发器
- 5.6触发器间的转换
- 5.7含触发器的PLD结构与原理

触发器的基本特性和作用

Flip - Flop，简称为 FF，又称双稳态触发器。

1.基本特性

(1) 通常情况下，触发器有两个互补的输出端 Q 和 \bar{Q} 。

(2) 触发器有两个稳定状态。通常定义输出端 $Q=1$ 、 $\bar{Q}=0$ 时，称为 1 状态；而当 $Q=0$ 、 $\bar{Q}=1$ 时称为 0 状态。当输入信号不发生变化时，此状态稳定不变。

(3) 在某些特定输入信号的作用下，触发器可以从一种稳定状态转换到另一种稳定状态。当此输入信号撤销后，将保持新的状态不变。通常把此输入信号作用之前的状态称为“现态”，记作 Q^n 和 \bar{Q}^n ；而把输入信号作用后的状态称为触发器的“次态”，记作 Q^{n+1} 和 \bar{Q}^{n+1} 。为简单计，一般省略现态的右上标 n ，就用 Q 和 \bar{Q} 表示现态。显然，次态是现态和输入信号的函数。

触发器的基本特性和作用

1. 触发器的作用

触发器和门电路是构成数字电路的基本单元。

触发器有记忆功能，由它构成的电路在某时刻的输出不仅取决于该时刻的输入，还与电路原来状态有关。

门电路无记忆功能，由它构成的电路在某时刻的输出完全取决于该时刻的输入，与电路原来状态无关。

概述

触发器

按逻辑功能不同分

RS 触发器 D 触发器
JK 触发器 T 触发器
T' 触发器

根据电路结构不同分为

主从触发器 基本 RS 触发器
边沿触发器 同步触发器

根据触发方式不同分为

电平触发器
边沿触发器
主从触发器

- 5.1 概述

- **5.2 RS触发器**

- 5.3 钟控触发器

- 5.4 主从触发器

- 5.5边沿触发器

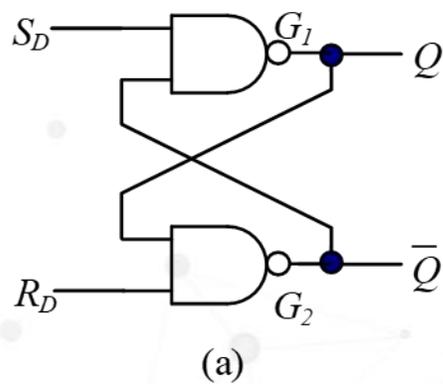
- 5.6触发器间的转换

- 5.7含触发器的PLD结构与原理

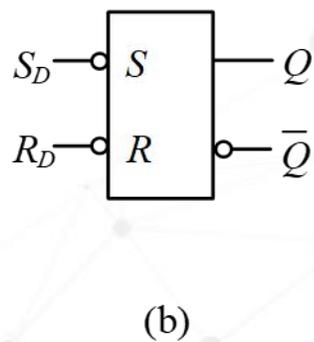
基本RS触发器的电路结构和基本原理

RS触发器：置0、置1触发器或基本触发器，它是构成各种功能触发器的最基本的单元。

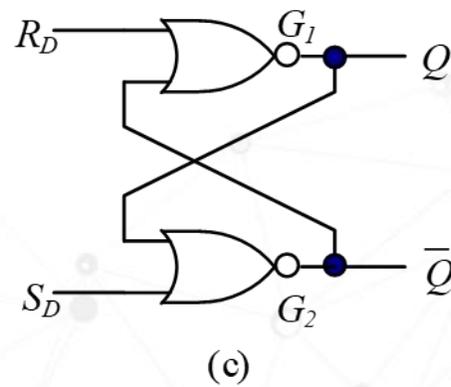
(1) 由两个与非门交叉连接而成的低电平输入有效型RS触发器



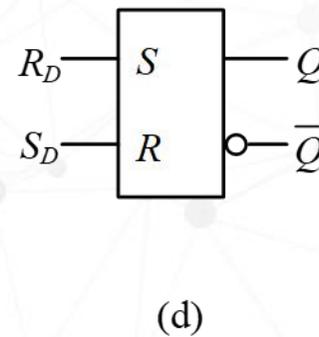
\Rightarrow



(2) 由两个或非门交叉连接而成的高电平输入有效型RS触发器

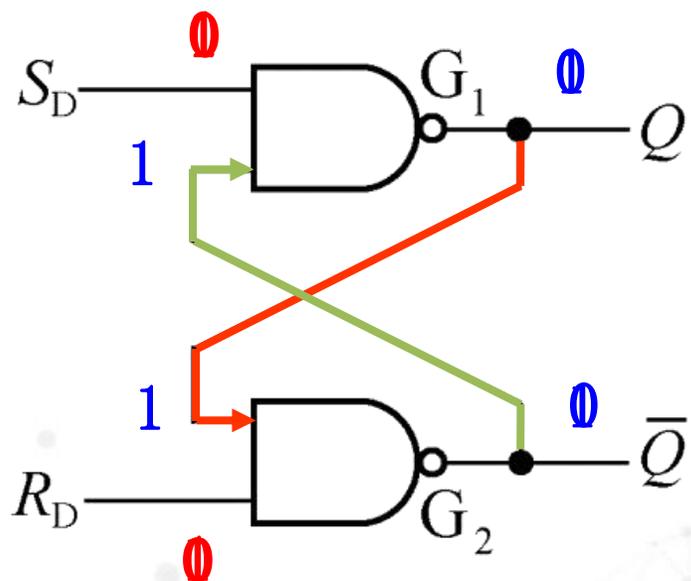


\Rightarrow



基本RS触发器的功能描述

1. 基本RS触发器(与非门组成)



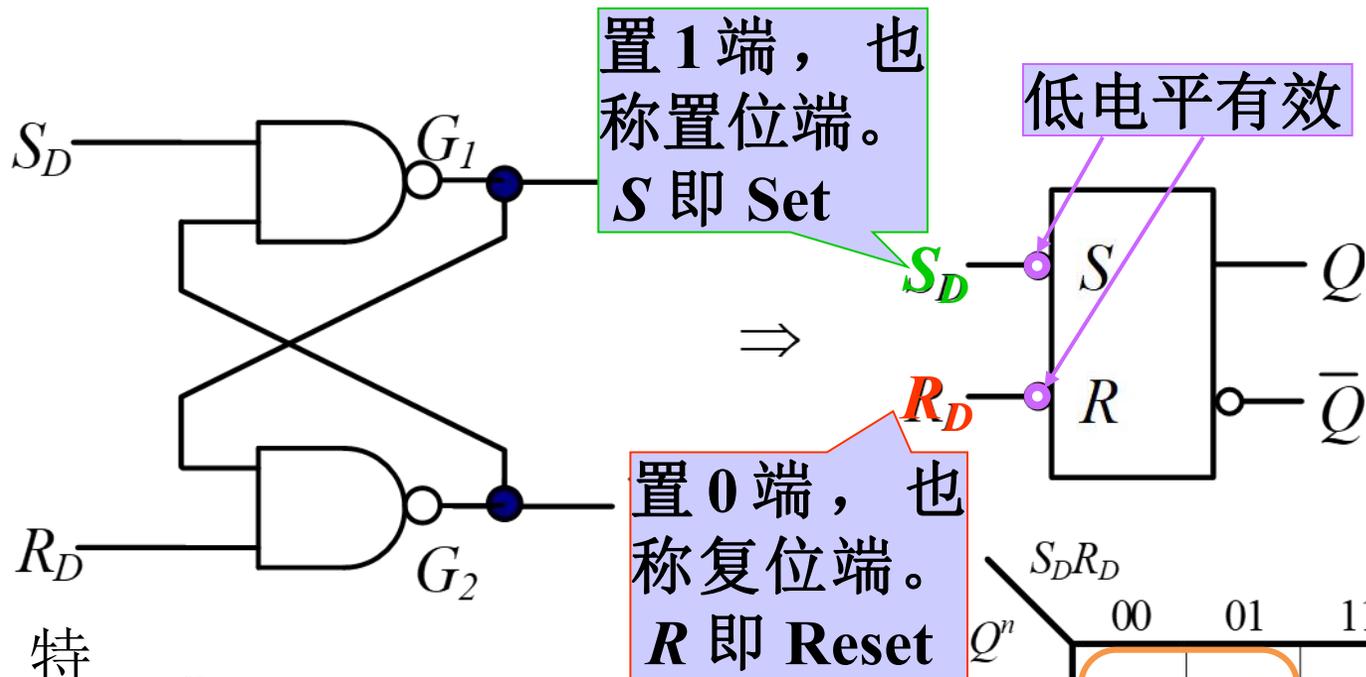
功能表

S_D	R_D	Q^{n+1}	\bar{Q}^{n+1}	功能

$$Q^{n+1} = \overline{S_D \cdot \bar{Q}^n} = \overline{0 \cdot \bar{Q}^n} = 1, \quad \bar{Q}^{n+1} = \overline{R_D \cdot Q^n} = \overline{0 \cdot Q^n} = 1$$

基本RS触发器的功能描述

1. 基本RS触发器(与非门组成)



特性方程

$$\begin{cases} Q^{n+1} = \bar{S}_D + R_D Q^n \\ S_D + R_D = 1 \quad (\text{约束条件}) \end{cases}$$

$S_D R_D$	00	01	11	10
0	×	1	0	0
1	×	1	1	0

状态转换真值表

S_D	R_D
0	0
0	0
1	0
1	0
0	1
0	1
1	1
1	1

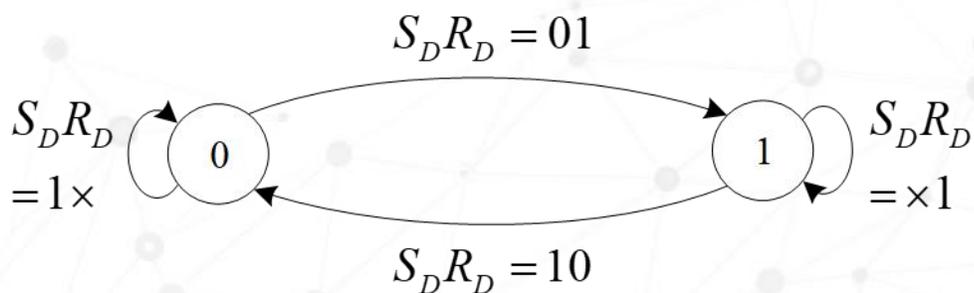
基本RS触发器的功能描述

1. 基本RS触发器(与非门组成)

功能表

S_D	R_D	Q^{n+1}	\bar{Q}^{n+1}	功能
0	0	1	1	禁用 (不定)
0	1	1	0	置 1
1	0	0	1	置 0
1	1	Q^n	\bar{Q}^n	保持

状态转换表



S_D	R_D	Q^n	Q^{n+1}
0	0	0	×
0	0	1	×
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

状态转换真值表

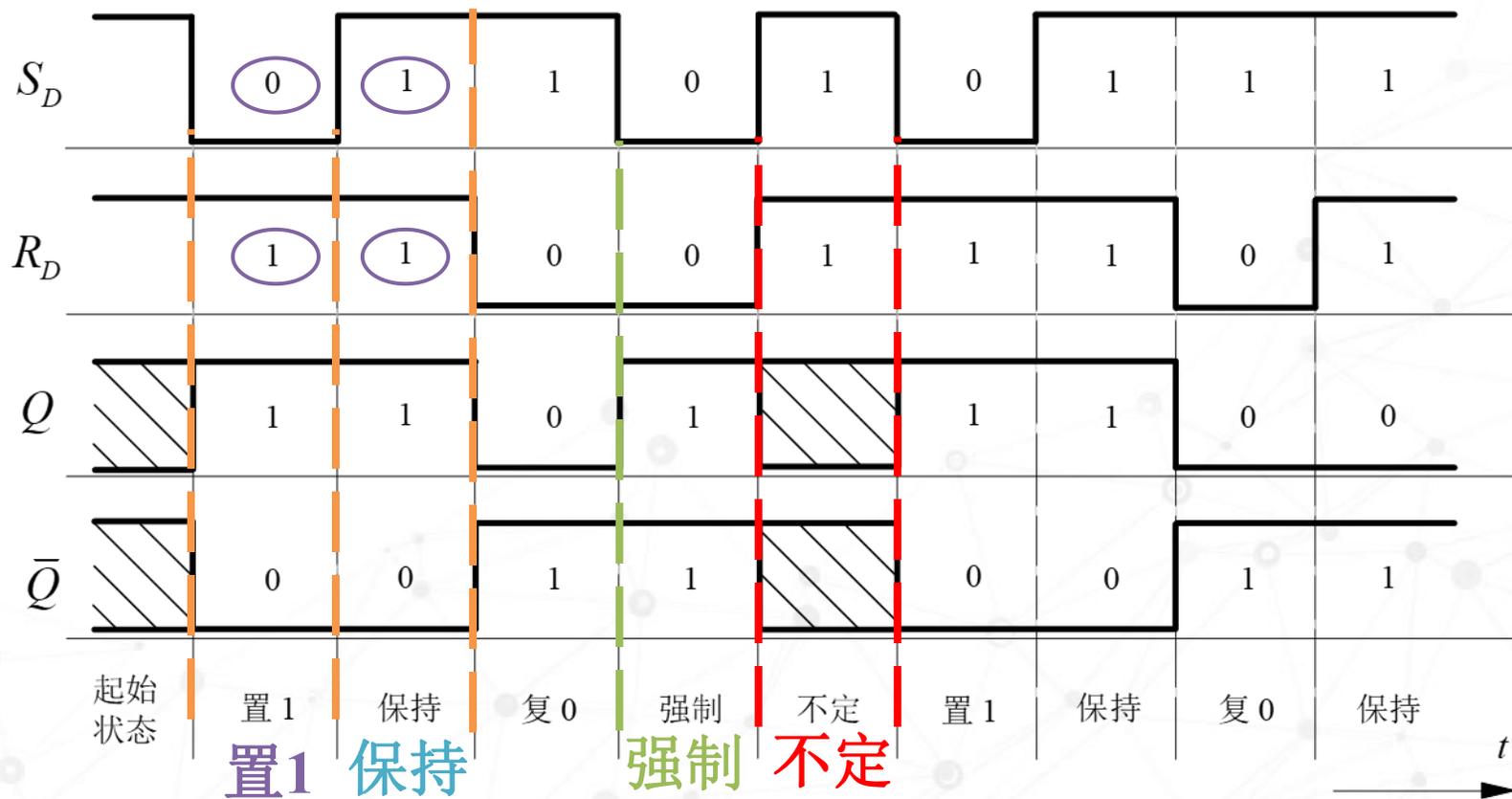
状态转换	触发输入	
$Q^n \longrightarrow Q^{n+1}$	S_D	R_D
0 → 0	1	×
0 → 1	0	1
1 → 0	1	0
1 → 1	×	1

激励(驱动)表

基本RS触发器的电路结构和功能

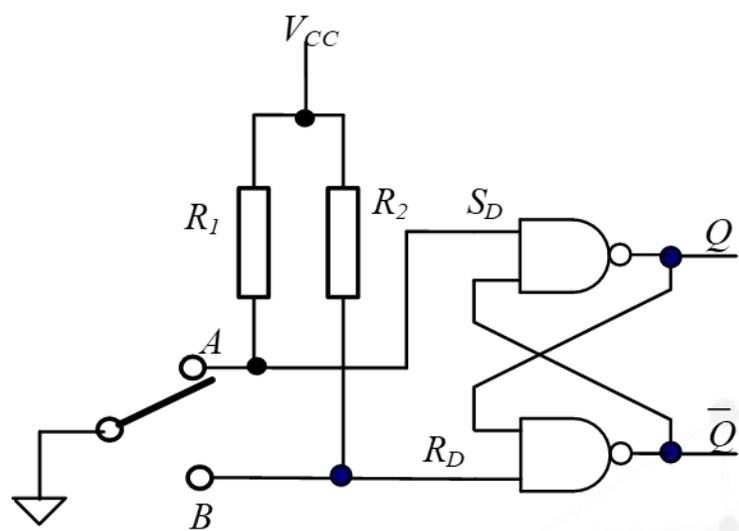
1. 基本RS触发器(与非门组成)

波形图

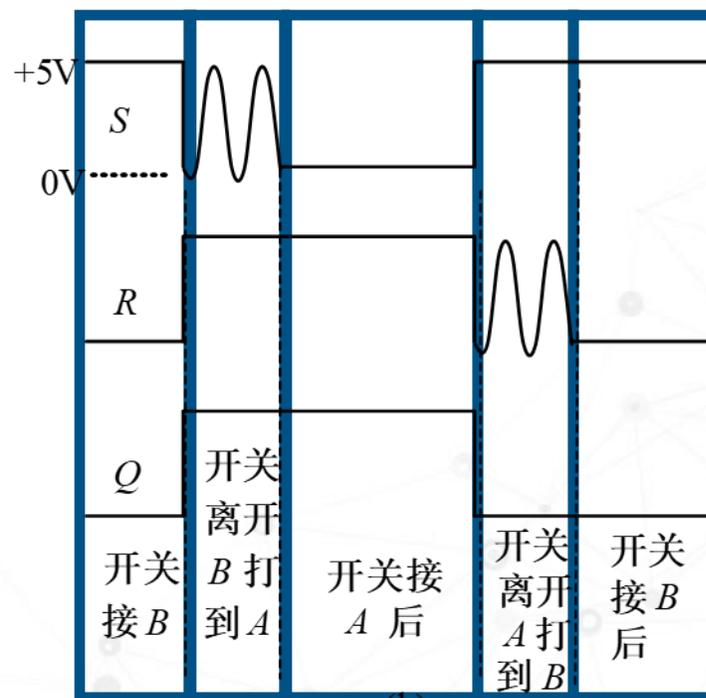


基本RS触发器的应用

机械开关消抖除电路



(a)



(b)

基本 RS 触发器的优缺点

优点： 电路简单，是构成各种触发器的基础。

缺点： 1. 输出受输入信号直接控制，不能定时控制。

2. 有约束条件。

输入与输出是“透明”的，抗干扰能力差。

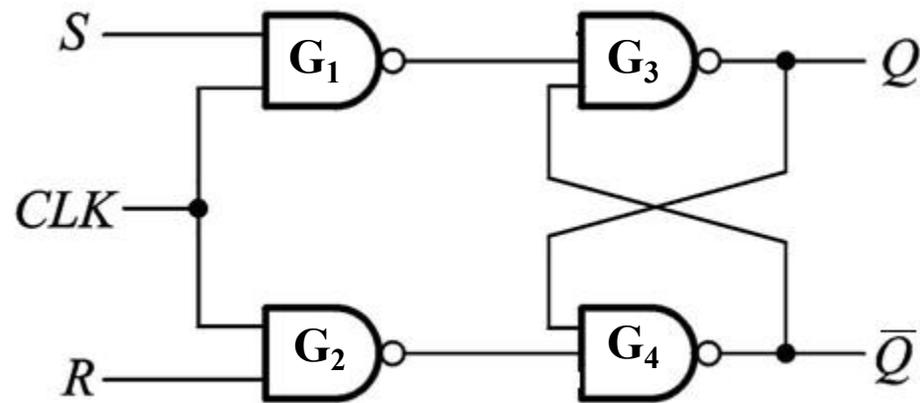
- 5.1 概述
- 5.2 RS触发器

• 5.3 钟控触发器

- 5.4 主从触发器
- 5.5边沿触发器
- 5.6触发器间的转换
- 5.7含触发器的PLD结构与原理

钟控RS触发器

实际工作中，希望输入信号仅作触发器状态转换的方向指引，而何时转换则应由系统中某个**时钟信号**来控制。



G_1 、 G_2 :
输入控制门

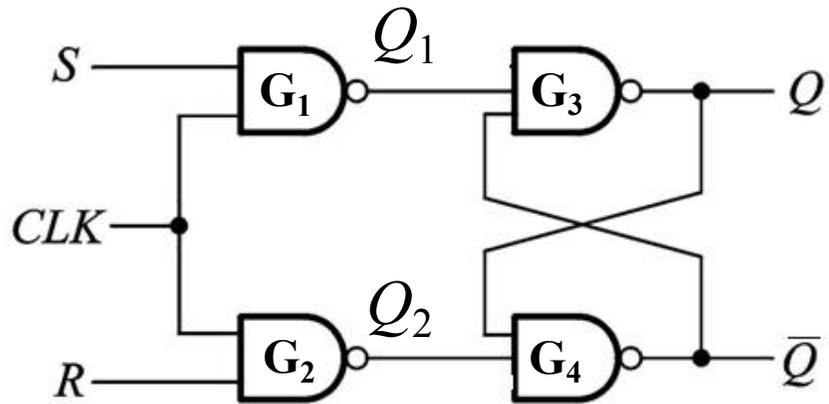
CP(CLK)即 Clock Pulse，它是一串周期和脉宽一定的矩形脉冲。

G_3 、 G_4 :
基本RS触发器

控制门+基本RS触发器

只有时钟信号有效时，S和R才起作用。

钟控RS触发器



(1) $CLK=0$:

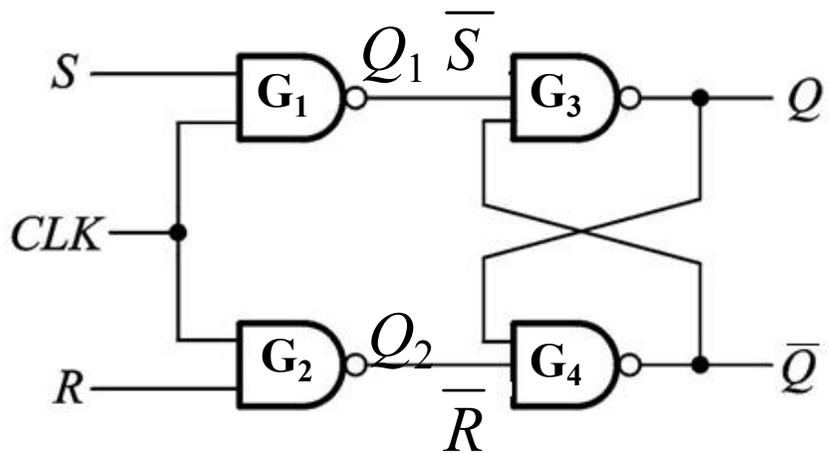
G_1 、 G_2 封锁 $\rightarrow Q_1 = Q_2 = 1$

\therefore 基本RS 触发器状态保持不变。

(2) $CLK=1$:

G_1 、 G_2 开通， R 、 S 信号通过 G_1 和 G_2 作用于基本RS 触发器。

钟控RS触发器



CLK=1时

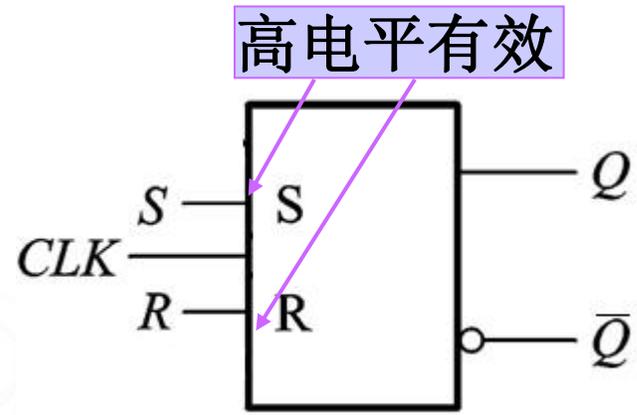
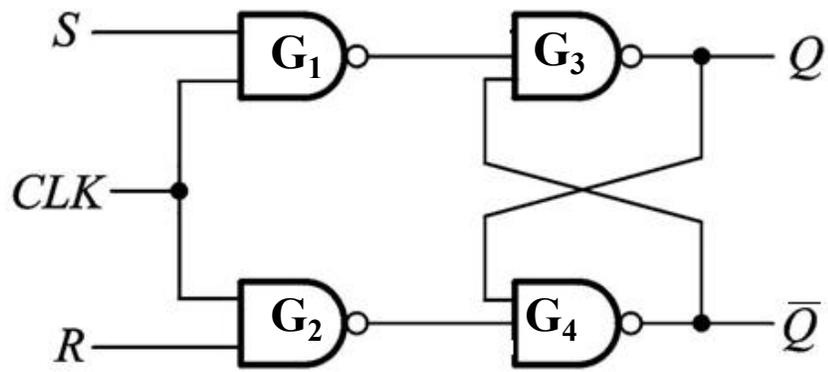
$S=1, R=0 (\bar{S}=0, \bar{R}=1) \longrightarrow Q^{n+1}=1$

$S=0, R=0 (\bar{S}=1, \bar{R}=1) \longrightarrow Q^{n+1}=Q^n$

$S=0, R=1 (\bar{S}=1, \bar{R}=0) \longrightarrow Q^{n+1}=0$

$S=1, R=1 (\bar{S}=0, \bar{R}=0) \longrightarrow \text{不定}$

钟控RS触发器



状态转换真值表

CLK	S	R	Q^n	Q^{n+1}	功能说明
0	x	x	0	0	$Q^{n+1} = Q^n$
0	x	x	1	1	保持
1	0	0	0	0	$Q^{n+1} = Q^n$
1	0	0	1	1	保持
1	0	1	0	0	$Q^{n+1} = 0$
1	0	1	1	0	置0
1	1	0	0	1	$Q^{n+1} = 1$
1	1	0	1	1	置1
1	1	1	0	1*	禁止
1	1	1	1	1*	

钟控RS触发器

CLK	S	R	Q^n	Q^{n+1}	功能说明
0	×	×	0	0	$Q^{n+1} = Q^n$
0	×	×	1	1	保持
1	0	0	0	0	$Q^{n+1} = Q^n$
1	0	0	1	1	保持
1	0	1	0	0	$Q^{n+1} = 0$
1	0	1	1	0	置0
1	1	0	0	1	$Q^{n+1} = 1$
1	1	0	1	1	置1
1	1	1	0	1*	禁止
1	1	1	1	1*	

Q^{n+1} S \ RQ^n	00	01	11	10
0	0	1	0	0
1	1	1	x	x

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$

特性方程

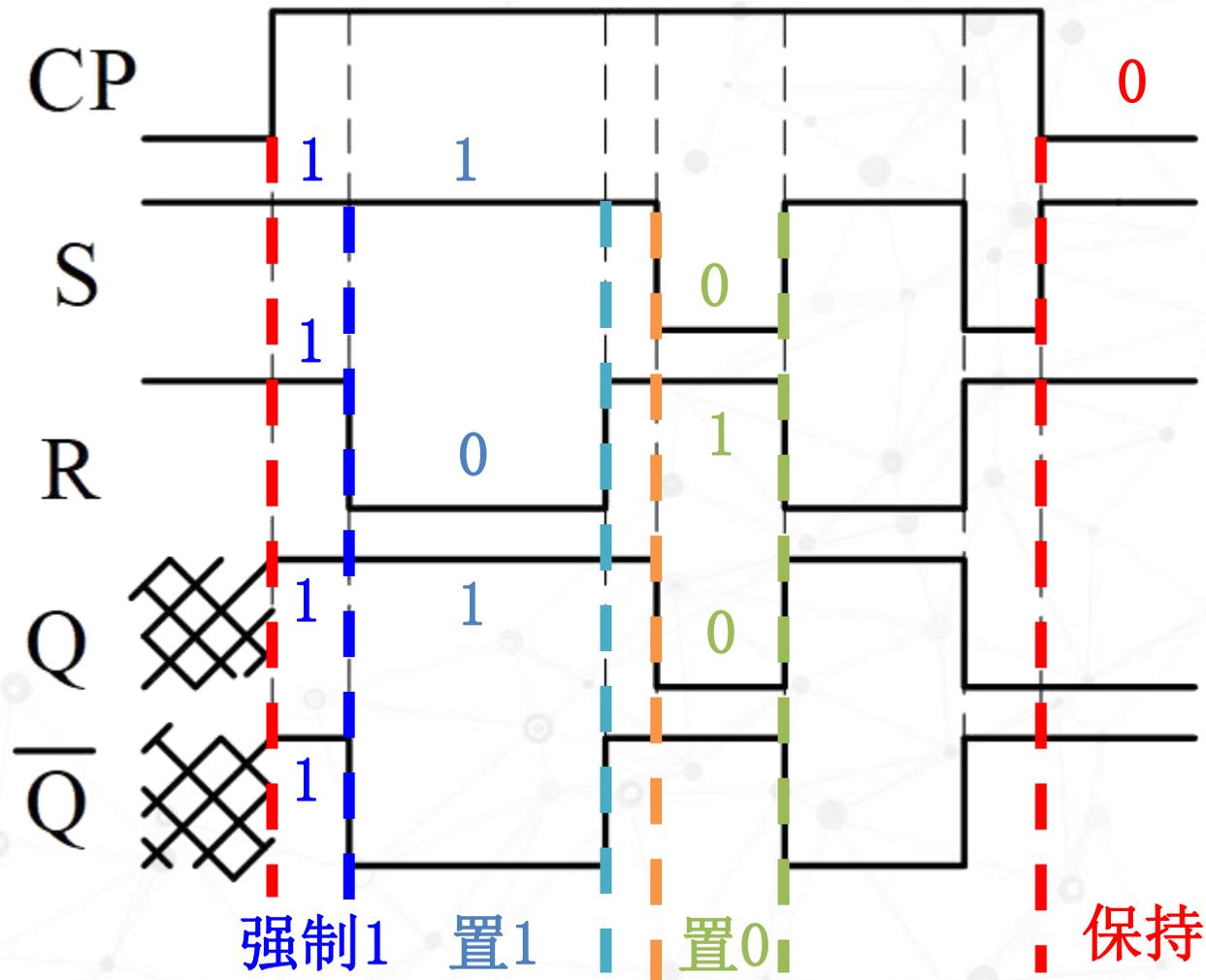
RS不能同时为1

钟控RS触发器

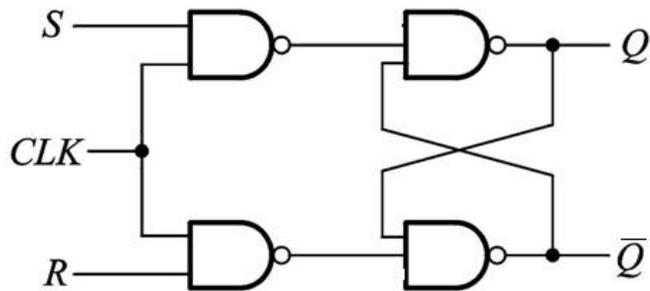
动作特点：

在 $CP=1$ 的全部时间里， S 或 R 的变化都能引起触发器输出端状态的变化。

在 CP 为1期间出现的多次翻转现象称为**空翻**，抗干扰性差，是时序电路的一种冒险现象。

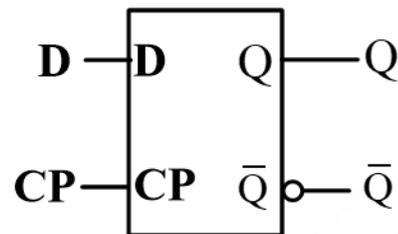
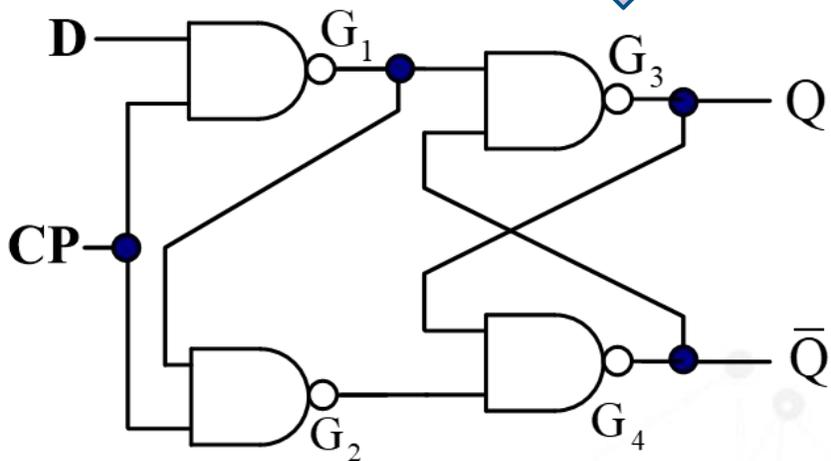


钟控D触发器



D 锁存器 (D-Latch)

解决RS=0的约束问题



功能表

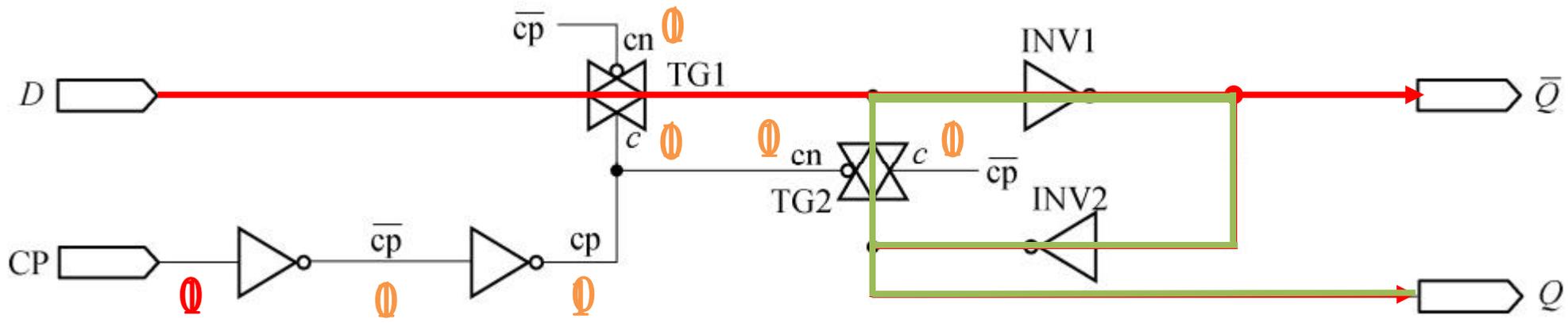
CP	Q^{n+1}	功能
0	Q^n	保持
1	D	$Q^{n+1} = D$

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0 \end{cases} \Rightarrow Q^{n+1} = D$$

常用集成电路型号：
74LS373、74LS75、74LS573

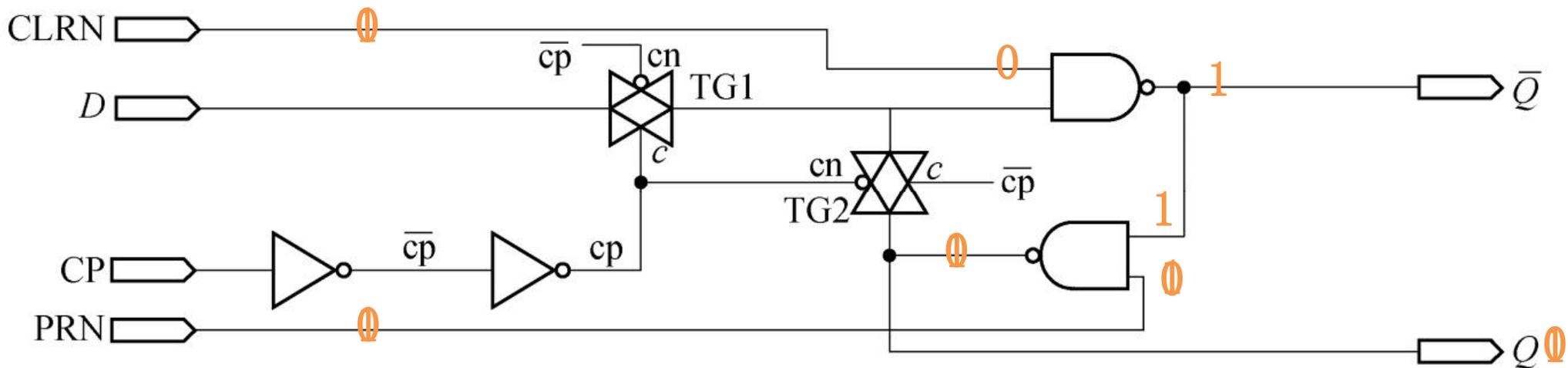
钟控D触发器

CMOS传输门构成的D锁存器



钟控D触发器

CMOS传输门构成的带异步清0和置位控制端的D锁存器



D锁存器

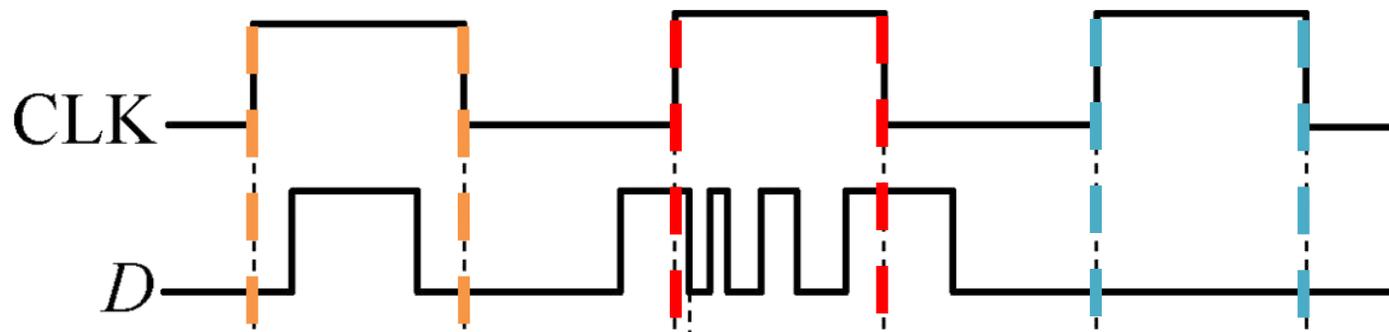
动作特点:

在CLK=1的全部时间里, D的变化都能引起锁存器输出端Q状态的变化。

D锁存器特征方程:

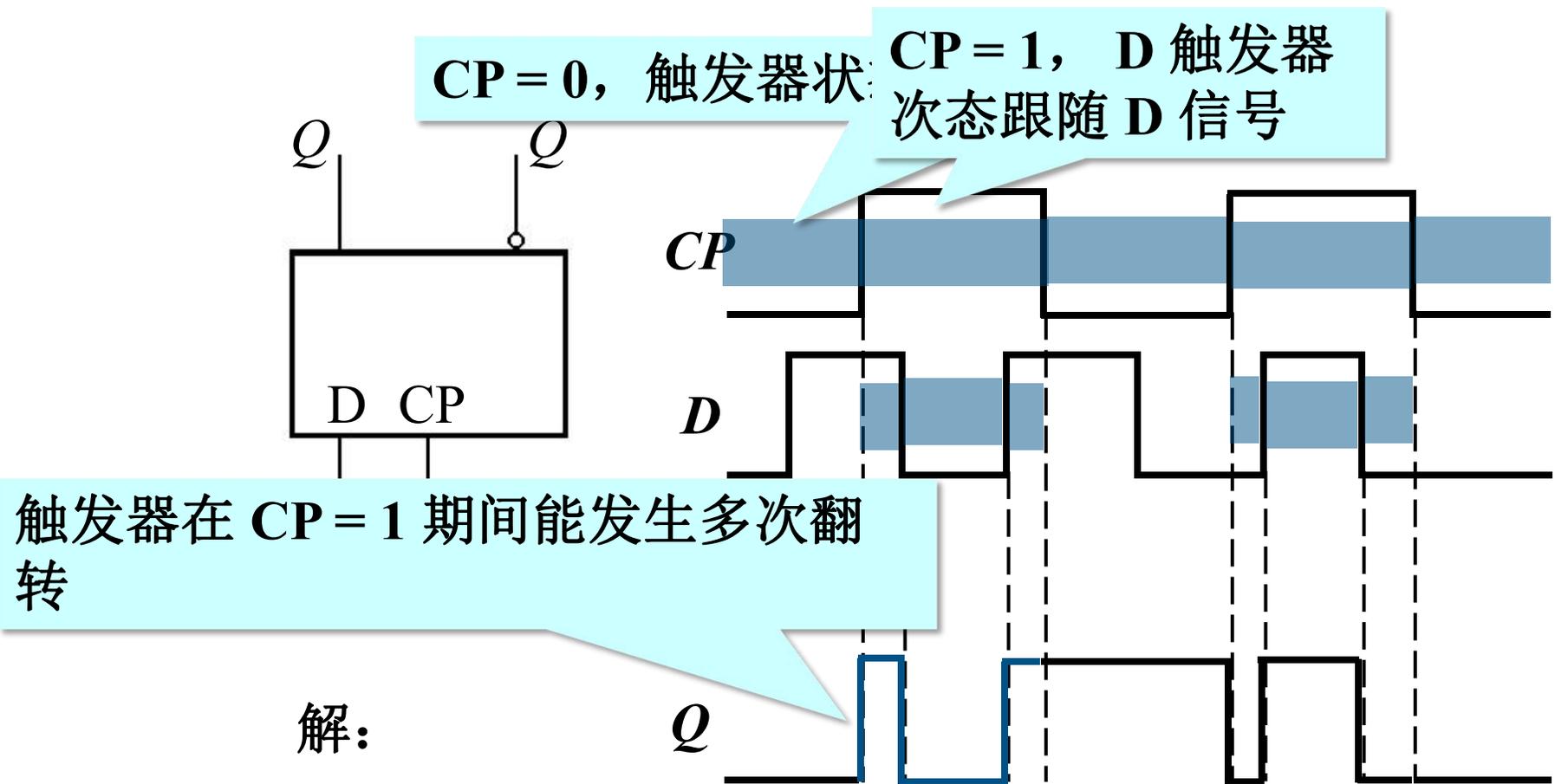
$$\begin{cases} Q^{n+1} = D, & \text{CLK}=1 \\ Q^{n+1} = Q^n, & \text{CLK}=0 \end{cases}$$

例: D锁存器波形



D锁存器

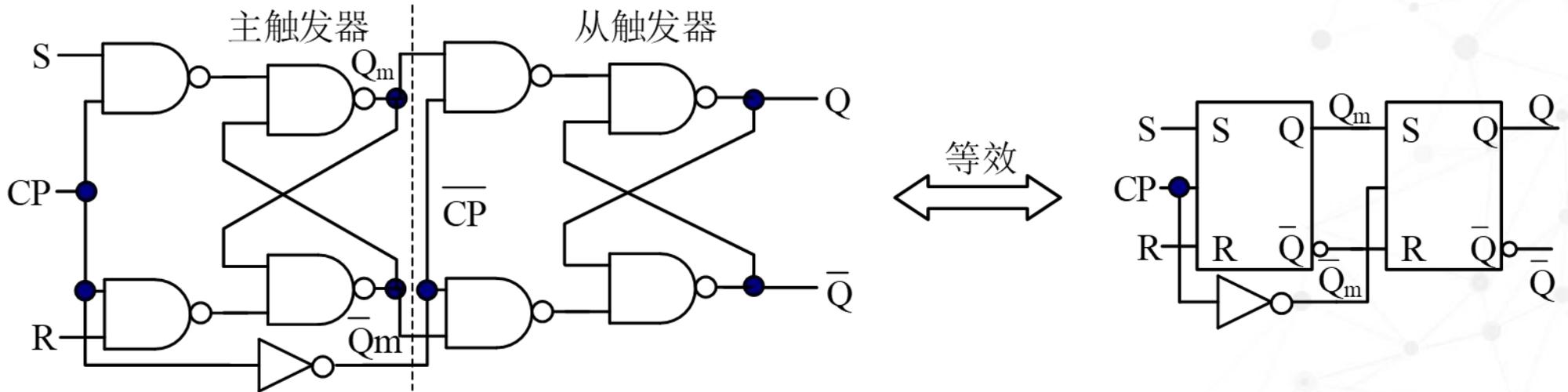
[例] 试对应输入波形画出下图中 Q 端波形 (设触发器初始状态为 0)。



- 5.1 概述
- 5.2 RS触发器
- 5.3 钟控触发器
- **5.4 主从触发器**
- 5.5 边沿触发器
- 5.6 触发器间的转换

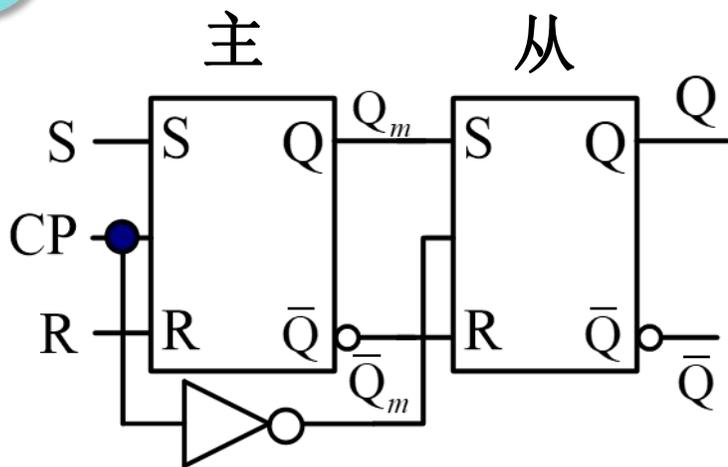
主从RS触发器

Master - Slave Flip - Flop



工作特点： $CP=1$ 期间，主触发器接收输入信号； $CP=0$ 期间，主触发器保持 CP 下降沿之前状态不变，而从触发器接受主触发器状态。因此，主从触发器的状态只能在 CP 下降沿时刻翻转。
这种触发方式称为主从触发式。

主从RS触发器



(1) $CP=1$, 主触发器工作, 从触发器保持不变;

(2) CP 下降沿到来时, 主触发器保持, 从触发器跟随主触发器的最后输出状态:

$$\begin{cases} Q^{n+1} = Q_m^{n+1} = S + \bar{R}Q_m^n = S + \bar{R}Q^n \\ RS = 0 \end{cases}$$

(3) $CP=0$, 主触发器不变, 于是从触发器的输入不变, 故而从触发器保持上述动作后的输出状态不变。

状态转换真值表

CP	S	R	Q^n	Q^{n+1}
\times	\times	\times	\times	Q^n
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1*
	1	1	1	1*

缺点:

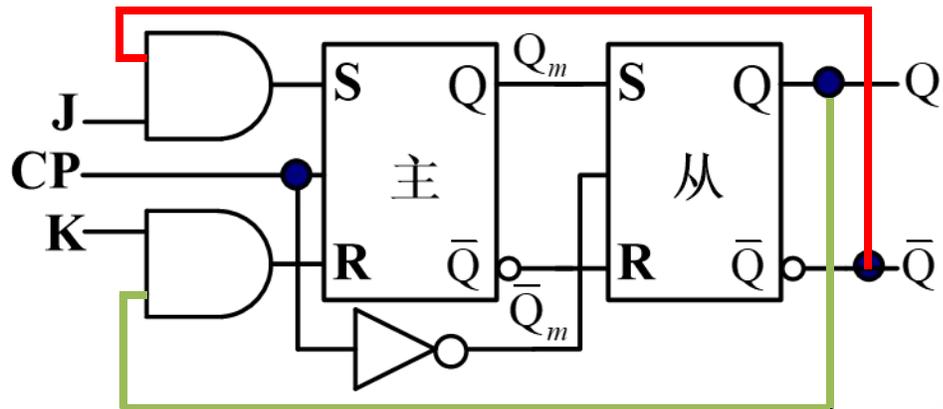
约束条件 $RS=0$

主从JK触发器

为解除约束，对主从RS触发器引入反馈：

$$S = J\bar{Q}^n$$

$$R = KQ^n$$

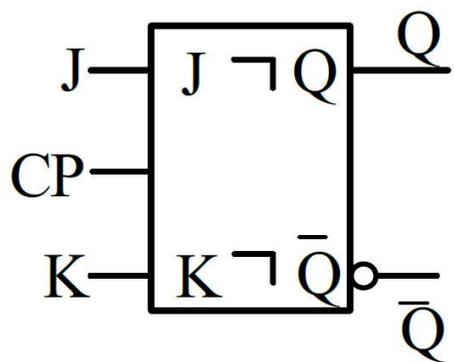


状态转换真值表

CP	J	K	Q^{n+1}	\bar{Q}^{n+1}	功能
0	×	×	Q^n	\bar{Q}^n	保持
\square	0	0	Q^n	\bar{Q}^n	$Q^{n+1}=Q^n$ 保持
\square	0	1	0	1	$Q^{n+1}=0$ 置0
\square	1	0	1	0	$Q^{n+1}=1$ 置1
\square	1	1	\bar{Q}^n	Q^n	$Q^{n+1}=\bar{Q}^n$ 翻转

$$\begin{aligned}
 Q^{n+1} &= S + \bar{R}Q^n = J\bar{Q}^n + \overline{KQ^n}Q^n \\
 &= J\bar{Q}^n + \bar{K}Q^n
 \end{aligned}$$

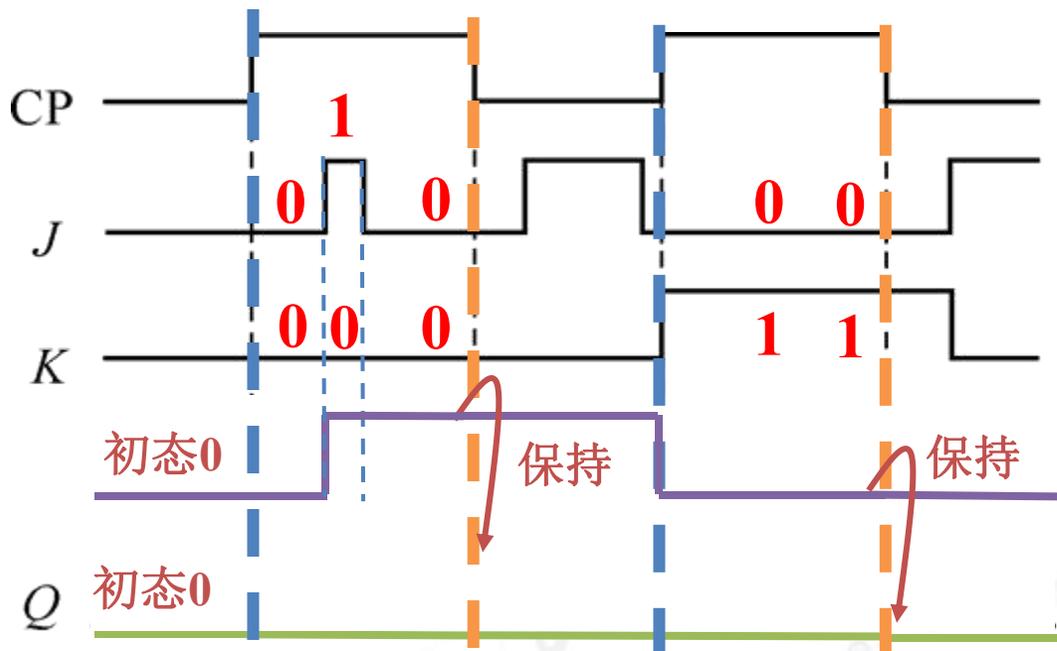
主从JK触发器



$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

正确方法：先画主触发器 Q_m 的波形，在下降沿瞬间，再传给从触发器 Q 。

例：根据下图JK波形画出Q输出波形。假设JK触发器的初态为0。



$$Q^{n+1} = 0 \cdot \bar{0} + \bar{0} \cdot 0 = 0$$

$$Q^{n+1} = 0 \cdot \bar{0} + \bar{1} \cdot 0 = 0$$

$$Q^{n+1} = 1 \cdot \bar{0} + \bar{0} \cdot 0 = 1$$

$$Q^{n+1} = 0 \cdot \bar{1} + \bar{1} \cdot 1 = 0$$

$$Q^{n+1} = 0 \cdot \bar{1} + \bar{0} \cdot 1 = 1$$

Why?

触发器的一个时钟只能翻转一次。主从JK触发器的一次翻转”。若 $CP=1$ 期间，JK 发生多次变化，则下降沿到来时输出就与特性方程结果不一致。

- 5.1 概述钟控触发器
- 5.2 含触发器的PLD结构与原理
- 5.3 概述
- 5.4 主从触发器
- **5.5 边沿触发器**
- 5.6 触发器间的转换
- 5.7 含触发器的PLD结构与原理

边沿D触发器

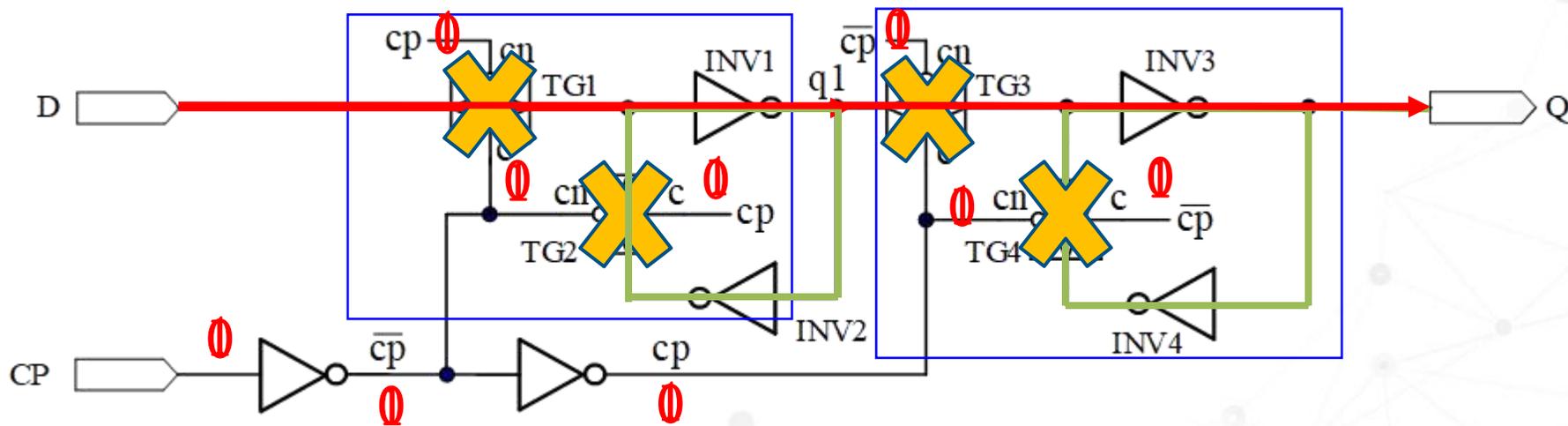
边沿D触发器的特性方程：

$$Q^{n+1} = D$$



CLK/CP

1. CMOS传输门边沿D 触发器



D-Latch

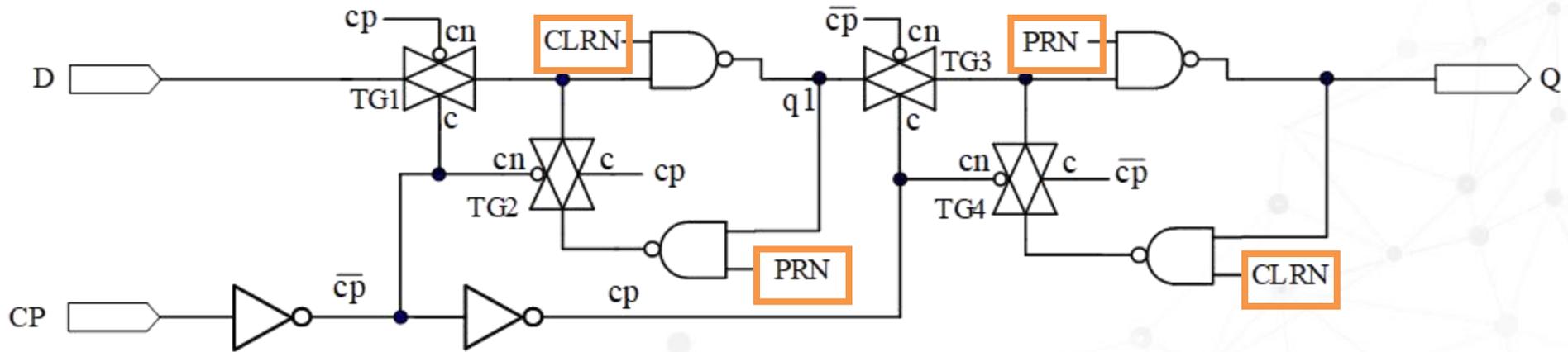
CP=0时，前级 $q1 = \bar{D}$ ，后级锁存；

CP=1时，前级锁存，后级 $Q = \bar{q1}$ ；

CP=0→1时，前级 $q1 = \bar{D}$ (且D为上升沿前最后的D)，后级 $Q = \bar{q1}$ ，即有 $Q = D$ 。

边沿D触发器

2. 带清0和置位控制端的边沿型D触发器

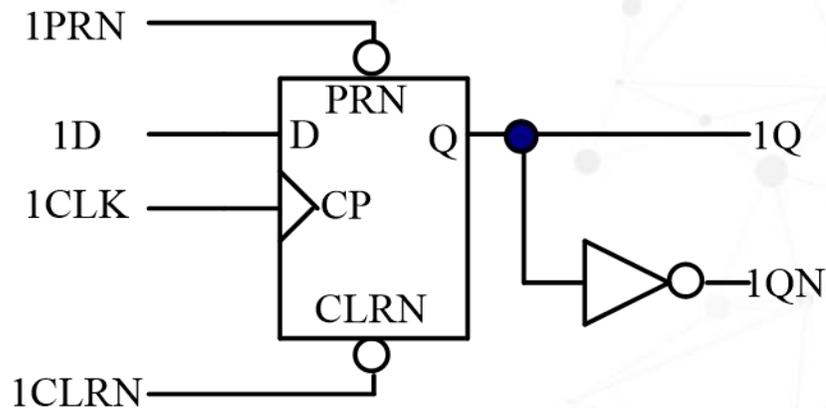
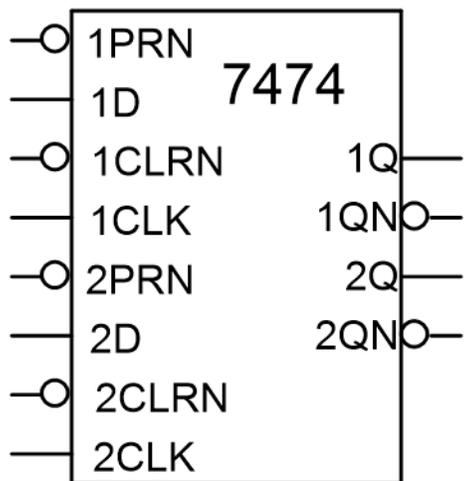


CP不为上升沿，且CLR_N=0，PR_N=1时，Q=0；

CLR_N=1，PR_N=0时，Q=1。

边沿D触发器

3.常用集成电路边沿D触发器：



7474内部的边沿D触发器

DFF功能表

CP ↑	S_D (PRN)	R_D (CLR)	D	Q^{n+1}	功能
×	0	×	×	1	异步置1
×	×	0	×	0	异步置0
0	1	1	×	Q^n	保持
1	1	1	0	0	同步置0
1	1	1	1	1	同步置1

边沿D触发器

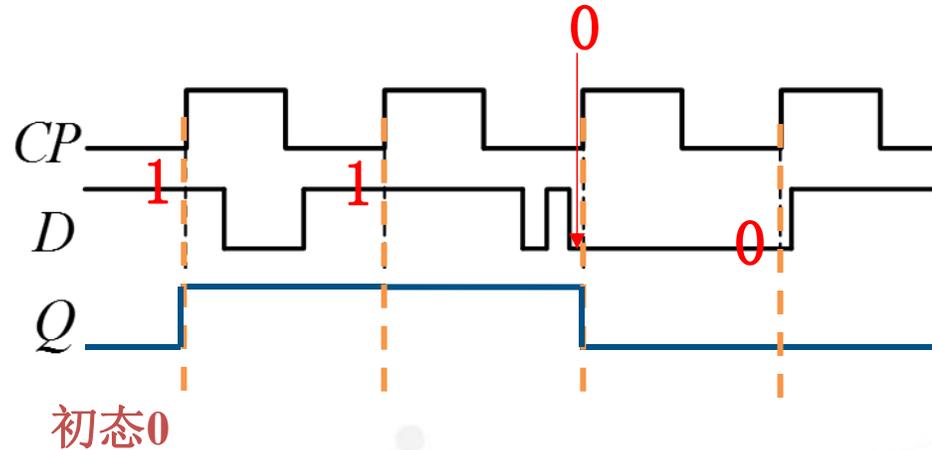
4.手工分析时序图的一般步骤：

边沿D触发器

$$Q^{n+1} = D$$



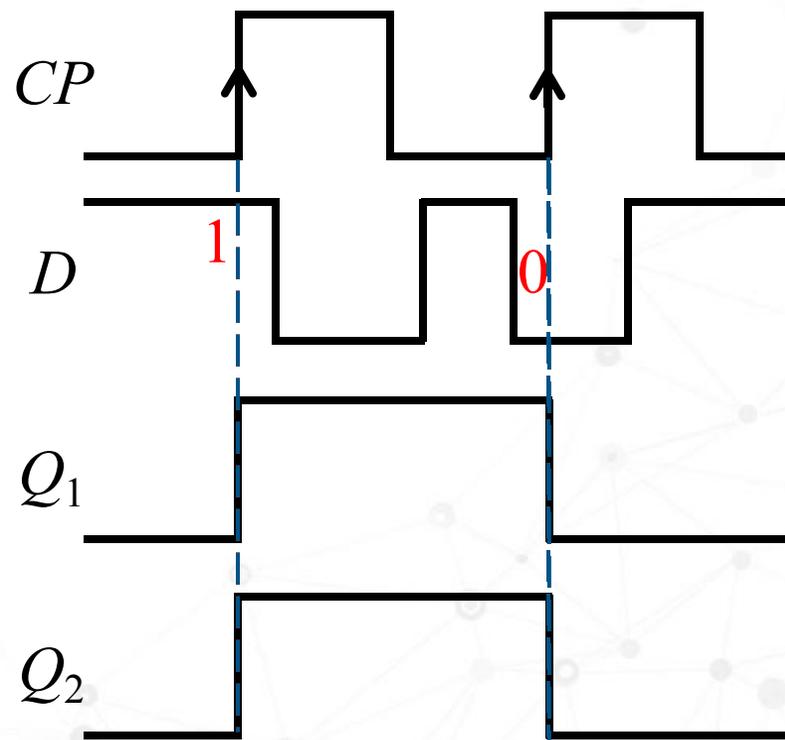
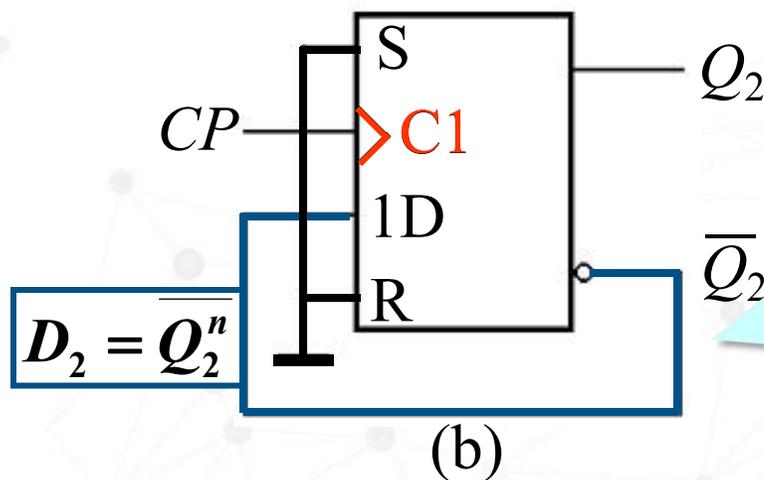
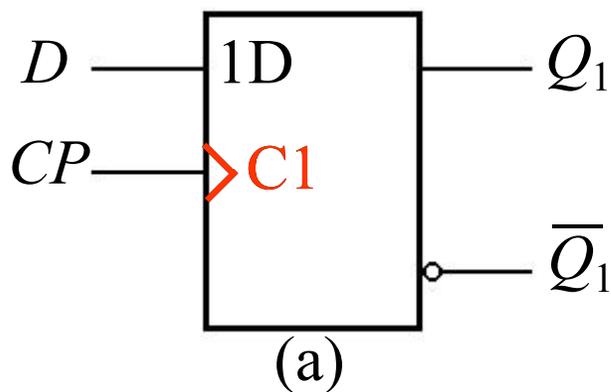
【例】边沿D触发器的输入信号和时钟波形如图所示，时钟边沿为上升沿有效，试画出Q的波形，设触发器的初始状态为0。



关键点：确认每个时钟脉冲CP上升沿之后的输出状态等于该**上升沿前一瞬间D信号的状态**，此状态将保持到下一个时钟脉冲CP上升沿到来时。

边沿D触发器

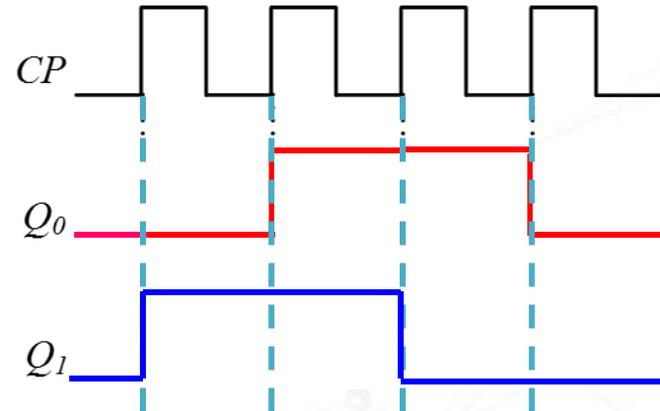
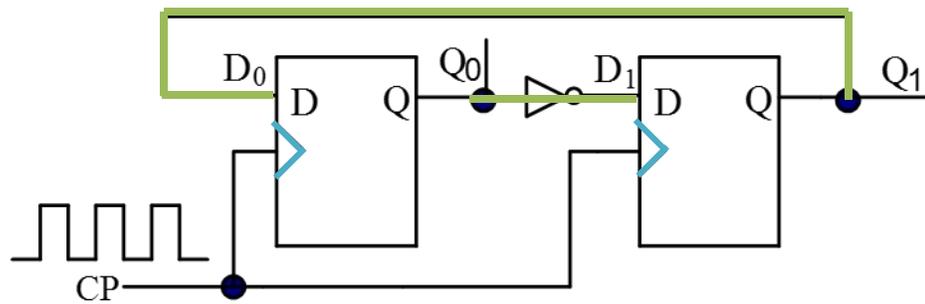
[例] 设触发器初态为0，试对应输入波形画出 Q_1 、 Q_2 的波形。



该电路的功能在时钟触发沿到达时状态发生**翻转**，这种功能称为计数功能，相应触发器称为计数触发器。

边沿D触发器

【例】边沿D触发器组成的电路及其输入波形如图所示，试分别画出 Q_0 Q_1 的波形，设触发器的初始状态 $Q_0Q_1 = 00$ 。



解：分段交替画出 Q_0 及 Q_1 的波形：

第1个CP脉冲到来时，由于初始状态 $Q_1Q_0=00$ ， $D_0=0$ ， $D_1=1$ ，因此 $Q_0=0$ ， $Q_1=1$ ；

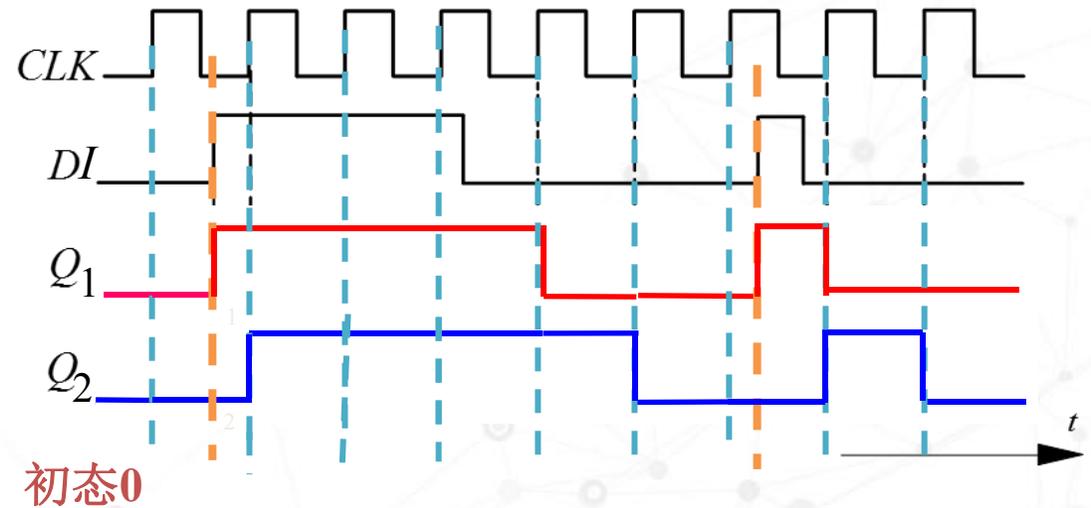
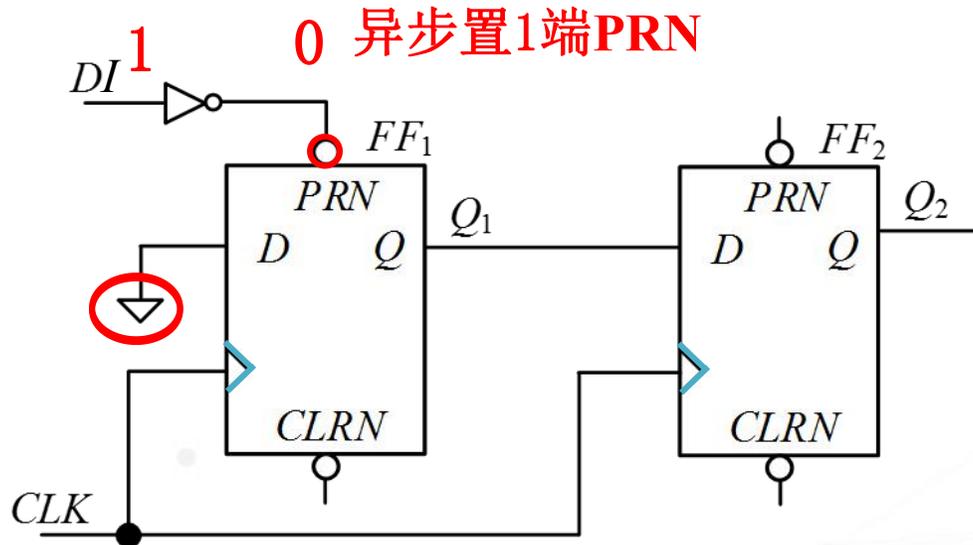
第2个CP脉冲到来时，由于现态 $Q_1Q_0=10$ ， $D_0=1$ ， $D_1=1$ ，因此 $Q_0=1$ ， $Q_1=1$ ；

第3个CP脉冲到来时，现态 $Q_1Q_0=11$ ， $D_0=1$ ， $D_1=0$ ，因此 $Q_0=1$ ， $Q_1=0$ ；

第4个CP脉冲到来时，现态 $Q_1Q_0=01$ ， $D_0=0$ ， $D_1=0$ ，因此 $Q_0=0$ ， $Q_1=0$ 。

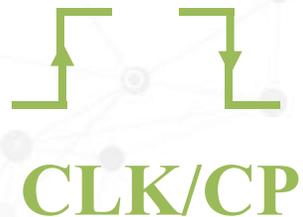
边沿D触发器

【例】边沿D触发器组成的电路及其输入波形如图所示，试分别画出 Q_1 Q_2 的波形，设触发器的初始状态 $Q_1Q_2=00$ 。



注意：FF1的PRN为**异步置1端**，且低电平有效，
当**DI变高电平时**， **Q_1** 也立即跟着跳变为高电平。

边沿JK触发器的特性方程： $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$



1.边沿JK触发器特点：

(1) 边沿 JK 触发器在 CP 信号的边沿到来时产生翻转，在 CP 有效边沿前瞬间的 J 、 K 输入信号为有效输入信号。

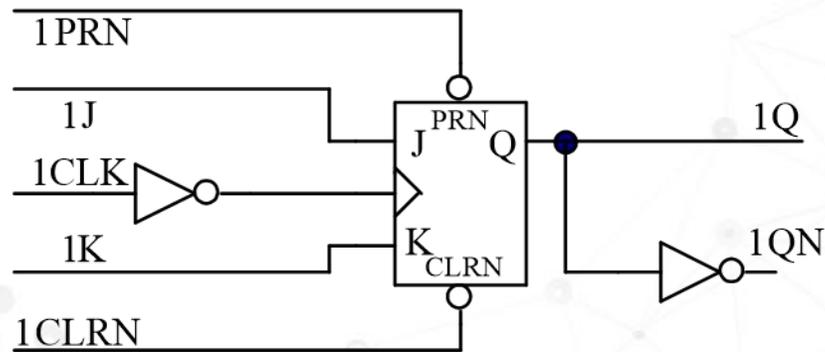
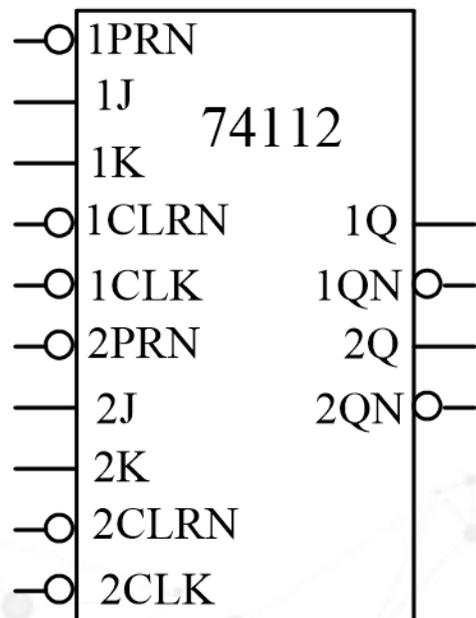
(2) 对于主从 JK 触发器，在 $CP=1$ 的全部时间内， J 、 K 输入信号均为有效输入信号。故与主从 JK 触发器相比，边沿 JK 触发器大大减少了干扰信号可能作用的时间，从而增强了抗干扰能力。

(3) 边沿 JK 触发器的状态转换表、特性方程与主从 JK 触发器完全相同。

(4) 边沿 JK 触发器无“一次翻转”问题。

边沿JK触发器

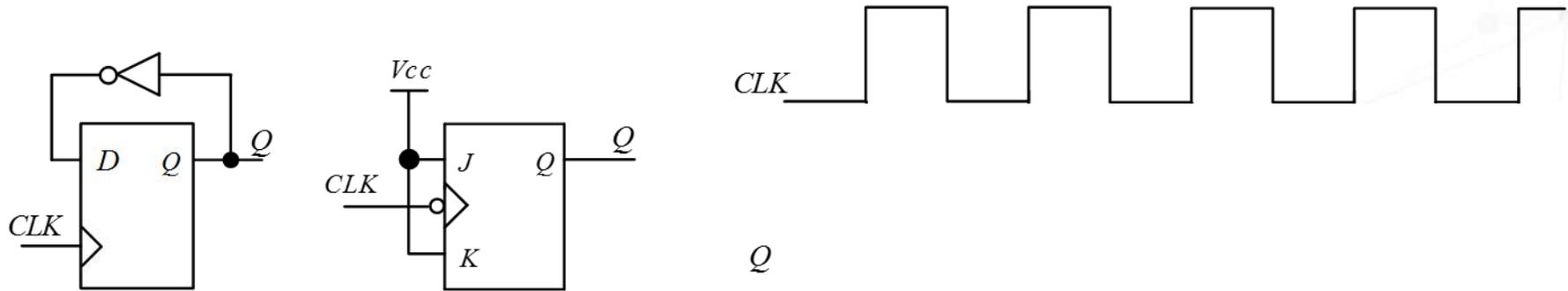
2.下降沿JK触发器逻辑符号及内部结构：



PRN和CLR_N分别是JK触发器的
异步置1端和清0端，低电平有效。

边沿JK触发器

【例】边沿JK触发器和边沿D触发器的电路如图所示，设其初态都为0，时钟CP波形如图，试画出Q的输出波形。



二分频电路

解：对于D触发器，由于 $D = \bar{Q}^n$ ，则其状态方程为 $Q^{n+1} = D = \bar{Q}^n$

对于JK触发器，由于 $J = K = 1$ ，则其状态方程为

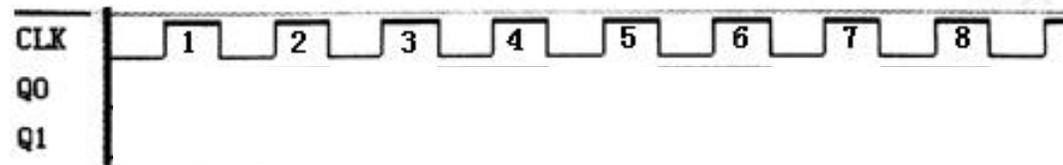
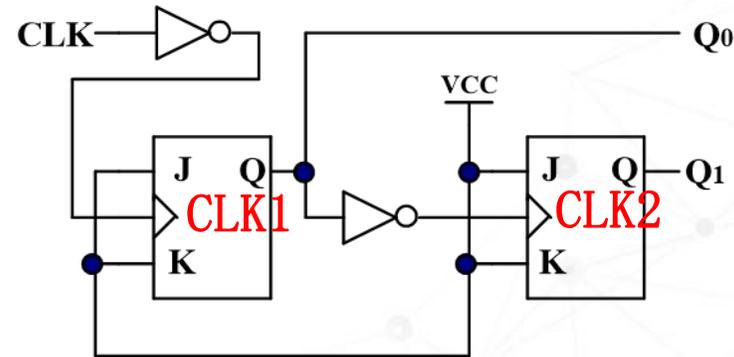
$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n = 1 \cdot \bar{Q}^n + \bar{1} \cdot Q^n = \bar{Q}^n$$

边沿JK触发器

【例】下图给出了由两个边沿JK触发器连接而成的逻辑电路，设两个触发器的初始状态都是0状态，试确定输出端 Q_1 、 Q_0 的波形，并写出由这些波形所表示的二进制序列。

解： $J_0=K_0=J_1=K_1=1$ ，

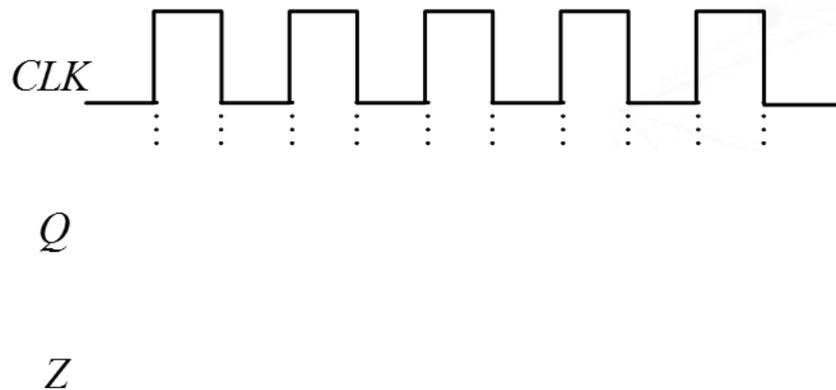
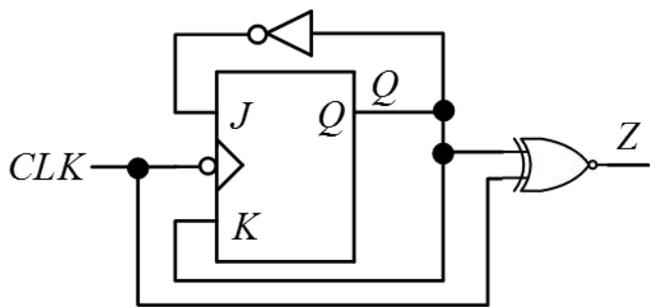
CLK1在CLK下降沿有效，
CLK2在 Q_0 下降沿有效。



Q_1 、 Q_0 的时序为00，01，10，11，分别对应于0，1，2，3。

边沿JK触发器

【例】边沿JK触发器组成的电路及时钟CP波形如图所示，设其初态都为0，试画出Q和Z的波形。



解： $J = \bar{Q}^n$, $K = Q^n$ 得 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n = \bar{Q}^n \cdot \bar{Q}^n + \bar{Q}^n \cdot Q^n = \bar{Q}^n$

$$Z = \overline{Q^n \oplus CP} = \begin{cases} \bar{Q}^n, & CP = 0 \\ Q^n, & CP = 1 \end{cases}$$

- 5.1 概述
- 5.2 RS触发器
- 5.3 钟控触发器
- 5.4 主从触发器
- 5.5 边沿触发器

- **5.6 触发器间的转换**

- 5.7 含触发器的PLD结构与原理

D触发器转换为JK、T、T'触发器

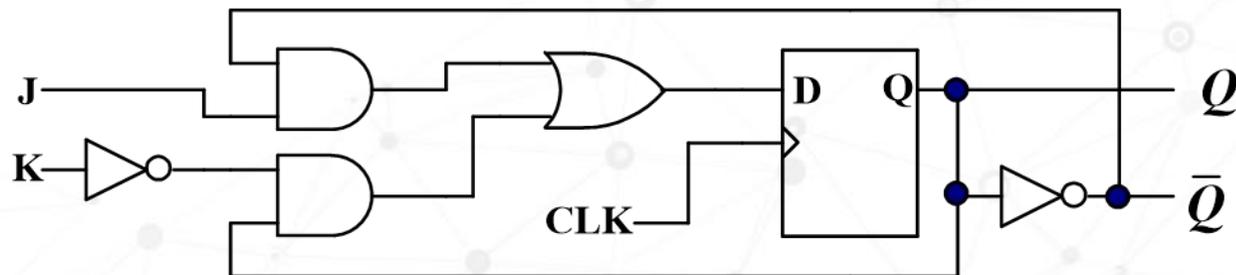
1、D触发器 → JK触发器

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$Q^{n+1} = D$$

$$\therefore D = J\bar{Q}^n + \bar{K}Q^n$$

方法：将已知F和待求F特征方程联立求解。



D触发器转换为JK、T、T'触发器

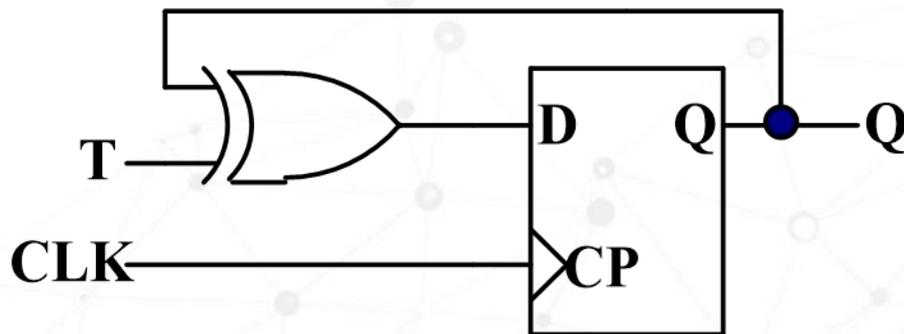
2、D触发器 → T触发器

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n = T \oplus Q^n$$

$$Q^{n+1} = D$$

$$\therefore D = T \oplus Q^n$$

T	Q^{n+1}	功能说明
0	$\frac{Q^n}{Q^n}$	保持
1	$\frac{Q^n}{Q^n}$	翻转

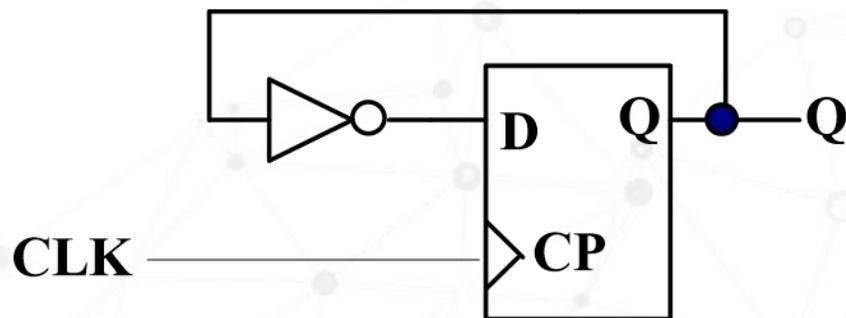


D触发器转换为JK、T、T'触发器

3、D触发器→T'触发器

$$\left. \begin{array}{l} Q^{n+1} = \overline{Q^n} \\ Q^{n+1} = D \end{array} \right\} \Rightarrow D = \overline{Q^n}$$

Q^{n+1}	功能说明
$\overline{Q^n}$	翻转



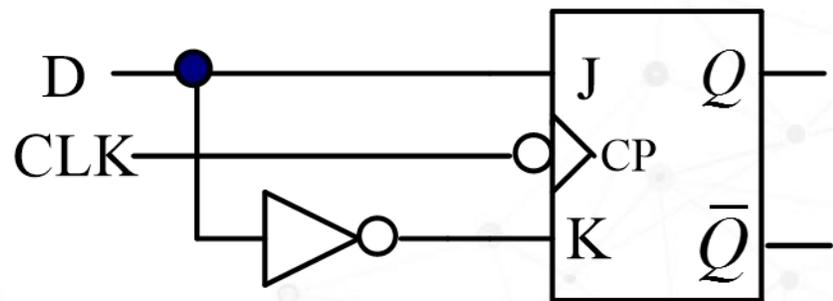
JK触发器转换为JK、T、T'触发器

1、JK触发器 → D触发器

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

$$Q^{n+1} = D = D(\overline{Q}^n + Q^n)$$

$$\therefore J = D, K = \overline{D}$$



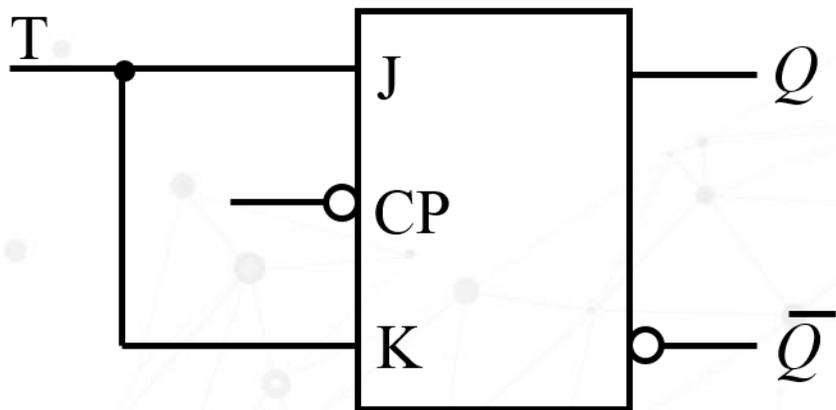
JK触发器转换为JK、T、T'触发器

2、JK触发器 → T触发器

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

$$\therefore J = T, K = T$$

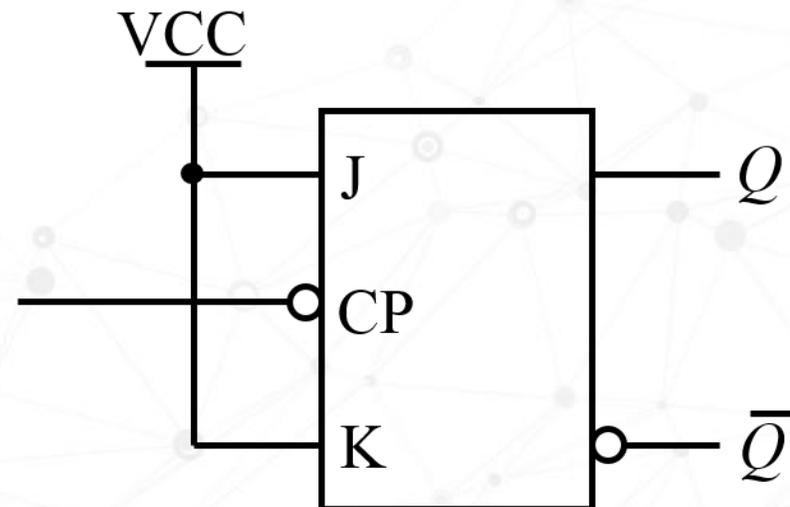


3、JK触发器 → T'触发器

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

$$Q^{n+1} = \bar{Q}^n$$

$$\therefore J = 1, K = 1$$



- 5.1 概述
- 5.2 RS触发器
- 5.3 钟控触发器
- 5.4 主从触发器
- 5.5 边沿触发器
- 5.6 触发器间的转换

- **5.7 含触发器的PLD结构与原理**

通用可编程逻辑器件GAL

GAL的基本结构:

- ① 8个输入缓冲器和8个输出反馈/输入缓冲器;
- ② 8个逻辑宏单元OLMC、8个三态缓冲器,每个OLMC对应一个I/O引脚。
- ③ 由 8×8 个与门(32输入与门)构成的与阵列,共可形成64个乘积项,每个与门有32个输入项,由8个输入的原变量、反变量和8个反馈信号的原变量、反变量组成。所以其可编程与阵列共有2048个可编程单元。
- ④ 系统时钟CLK和三态输出选通信号的输入缓冲器。

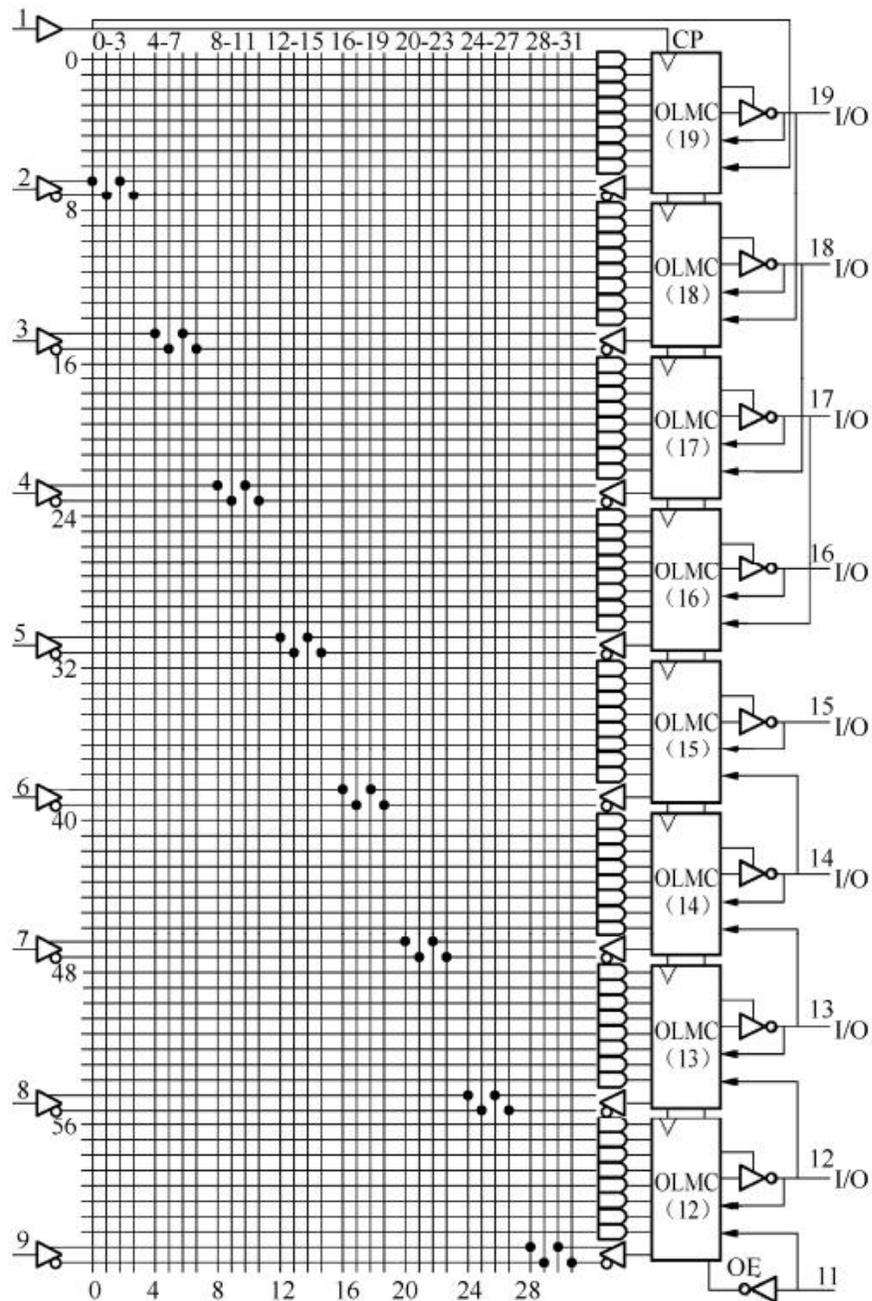


图 5-32 GAL16V8 的逻辑图

通用可编程逻辑器件GAL

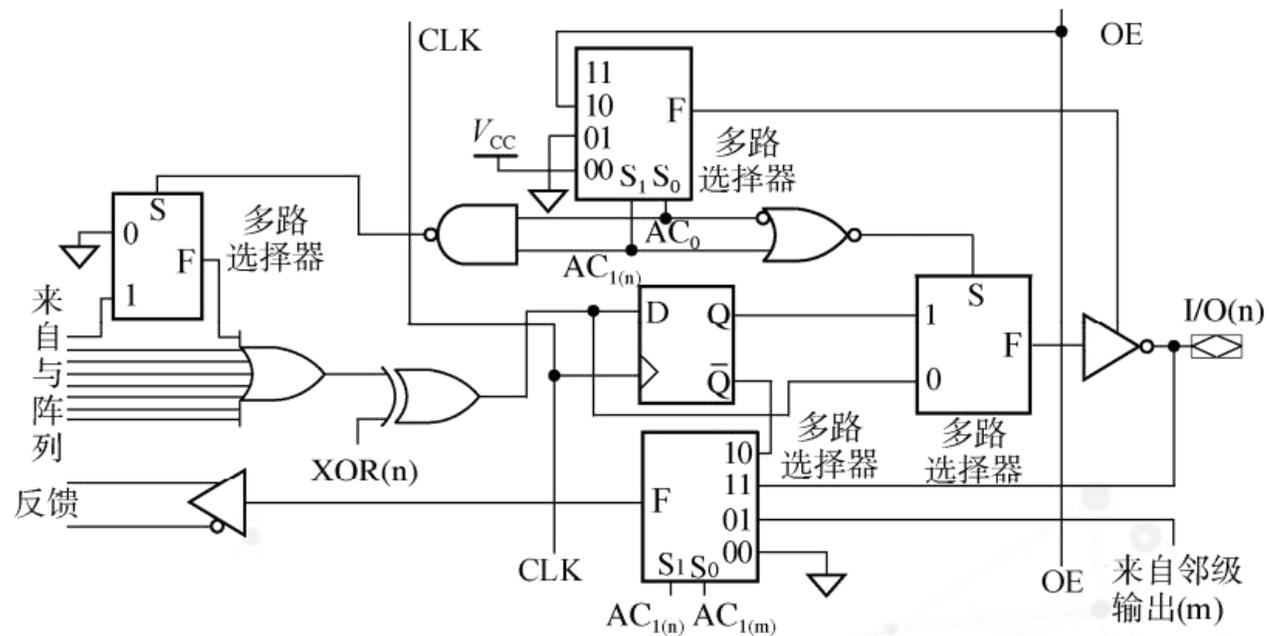
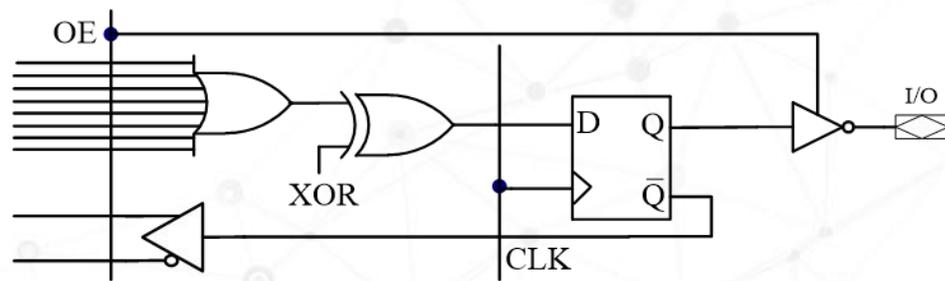


图 5-33 逻辑宏单元 OLMC 的结构图

GAL 的输出逻辑宏单元 OLMC 三种输出模式：

- (1) 寄存器模式。
- (2) 复合模式。
- (3) 简单模式。



寄存器输出结构

复杂可编程逻辑器件CPLD

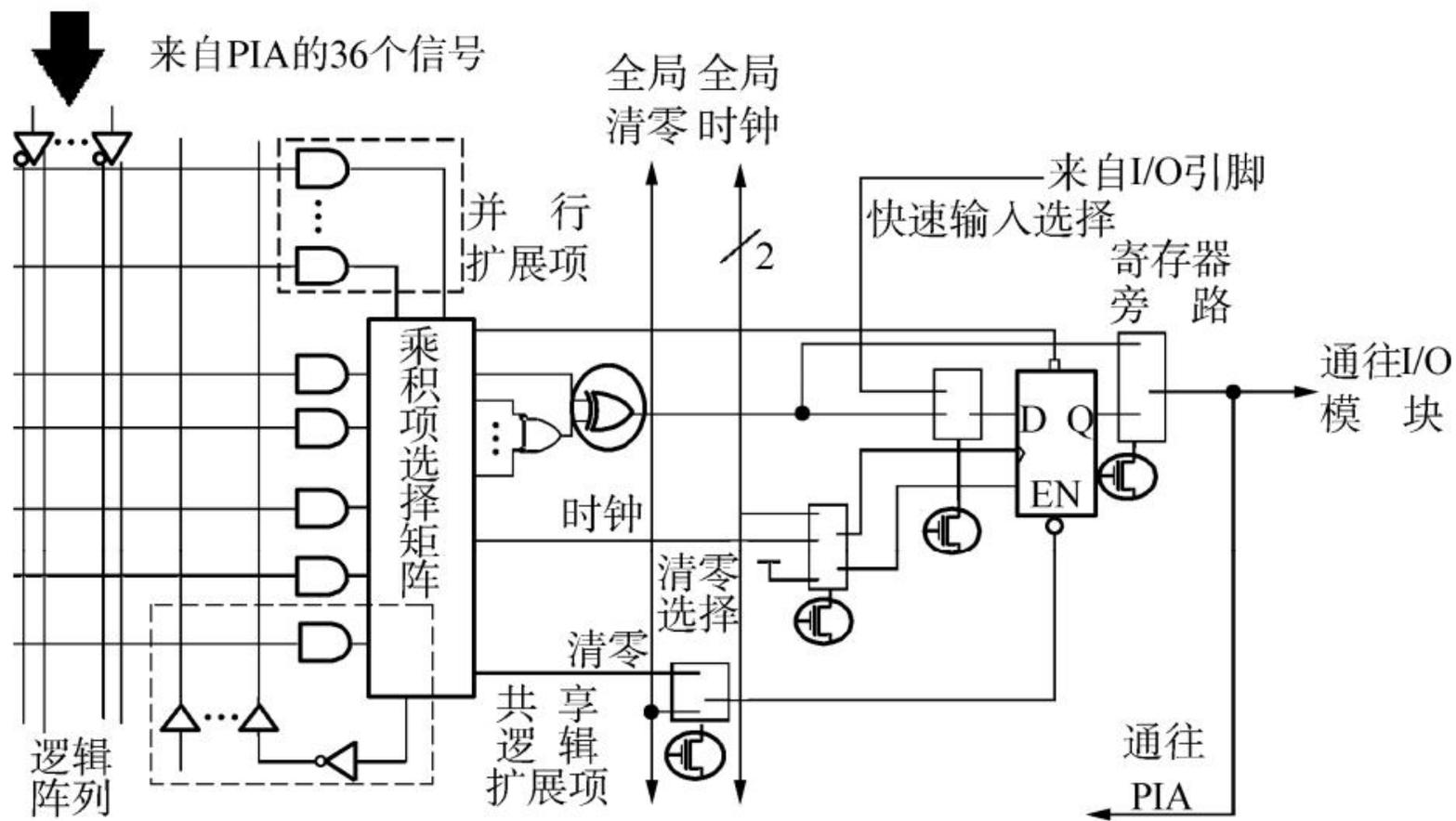
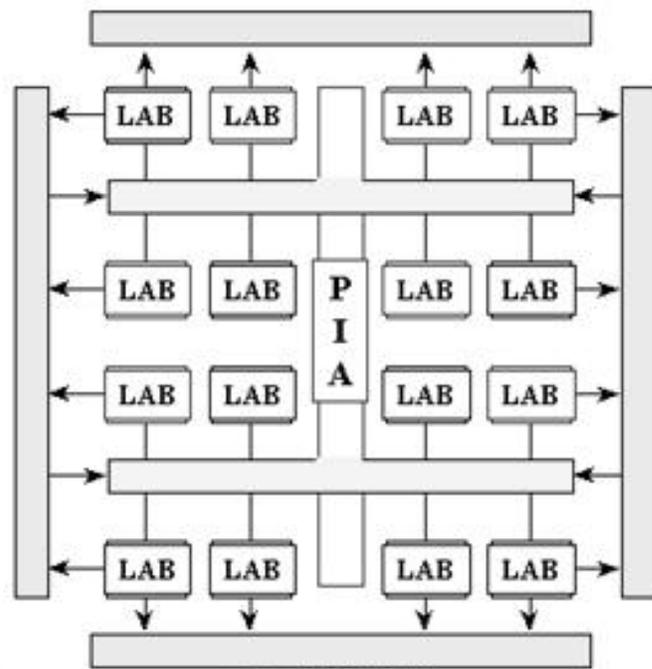


图 5-36 MAX3000 系列的单个宏单元结构

复杂可编程逻辑器件CPLD

1. 逻辑阵列块LAB

2. 逻辑宏单元



I/O 控制模块
MAX3128S 的结构

1. 查找表逻辑结构

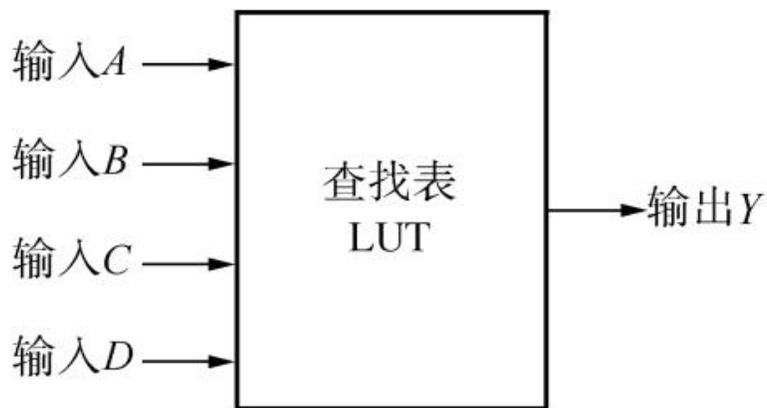


图 5-37 FPGA 查找表单元

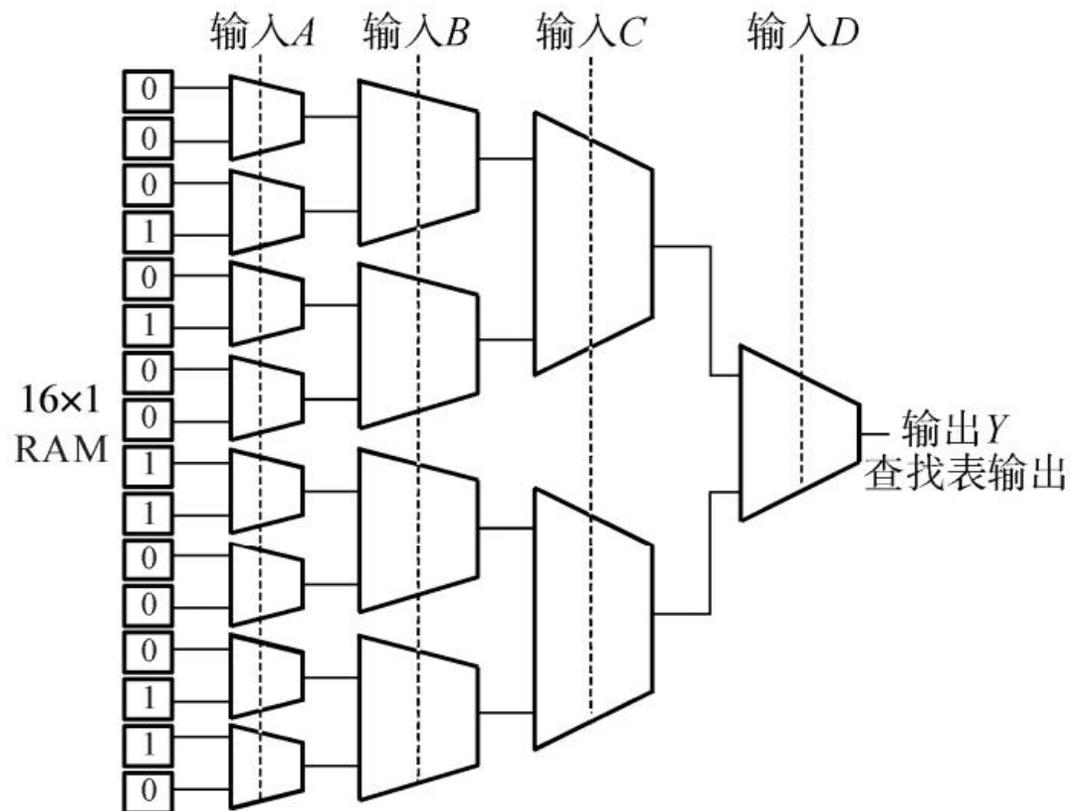


图 5-38 FPGA 查找表单元内部结构

2. Cyclone系列FPGA器件的基本结构

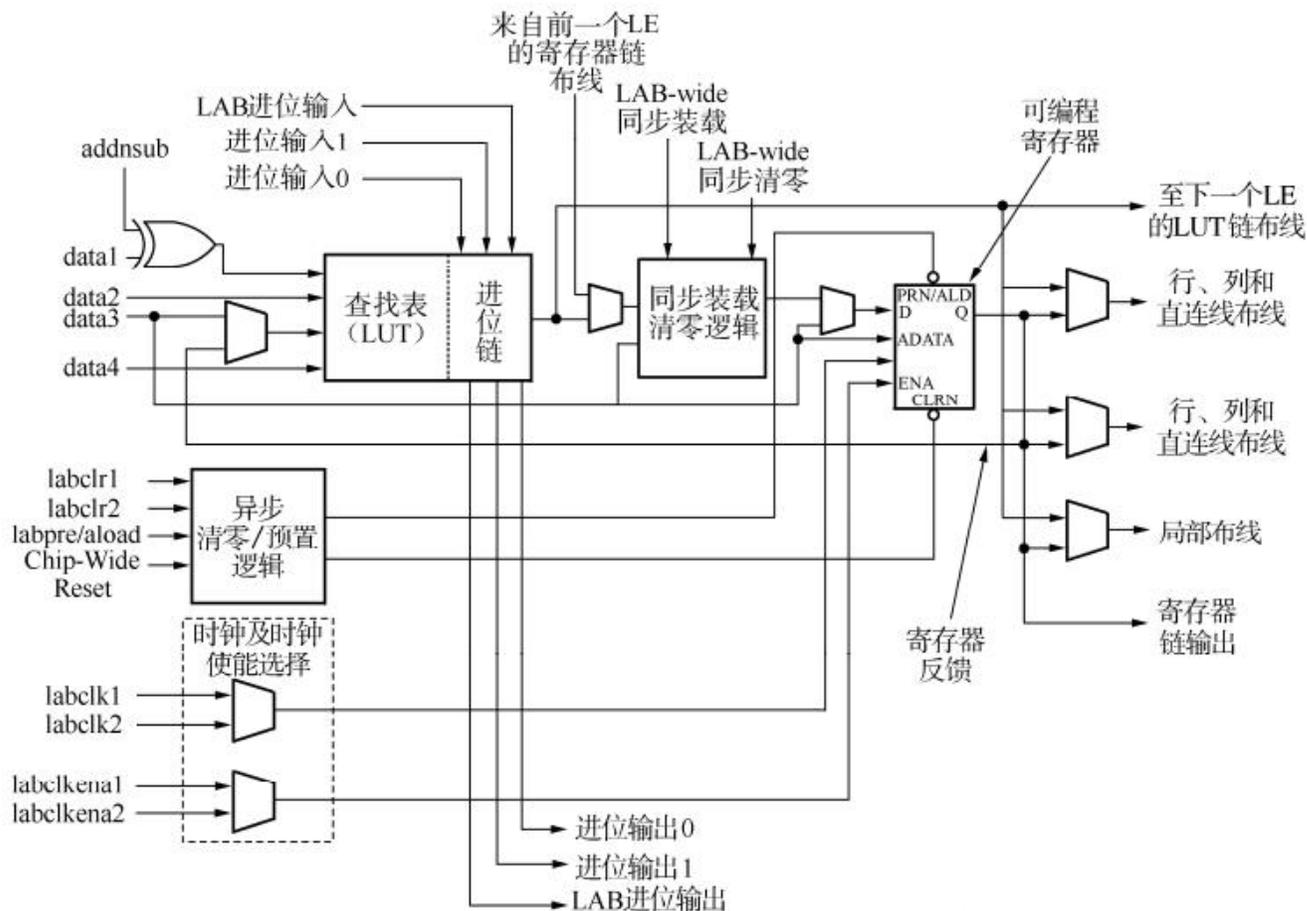


图 5-39 Cyclone 系列 FPGA 的 LE 单元内部结构图

The background features a complex network of white lines connecting various nodes, overlaid on a pattern of semi-transparent, overlapping hexagons in shades of blue, purple, and gold. The overall aesthetic is modern and technological.

本章 完