## 附 录

## 数字技术实验系统及基本要求

**大**据本教材的内容安排、实验要求和希望达到的教学目标,选择与之配套的结构恰当的 实验系统是十分必要的。为了实现前言中提到的既定教学目标,相比于传统教材,本 书的总体内容和篇幅有较大的减少,然而实验与实践的内容却有了很大的变化和扩充,涉猎 的广度和深度也有很大的提高,特别是与现代数字技术和创新理念有了巨大的拉近。这就使 得在实验内容、实验方法、实验要求、实验目的和实验课时数等方面有了许多新的要求。

以下将给出配合本教材的实验规划、实验内容和实验系统的一般安排和基本要求,以 及相关实验板和实验系统的主要构成与功能,以资读者参考。最后介绍 mif 文件生成软件 的使用方法。

## F.1 基本实验内容、方式和类型

配合本教材的实验内容可以分为3个部分。

1.基于手工设计技术和通用逻辑器件的传统数字电路实验项目

这部分实验的内容、方法和实验目标与传统教材基本对应。对于本教材而言,主要包括针对第3章、第4章、第5章(部分)、第7章(部分)和第11章的实验。

实验内容主要包括对基本逻辑器件电气性能的测试和认知、基本组合逻辑电路和时序逻 辑电路的手工设计与分析;实验目标主要集中在对教材内容的实验验证上,且相比于传统教 材的实验内容和学时数应该大幅减少,因为这些内容是过渡性的,不是学习的重点。

实验平台可以是传统的数字电路实验箱,基本实验器件是74LS、74HC和4000、4500 等系列器件;实验方法和手段主要是手工设计、手工接插和手工测试,且以验证性实验和 逻辑功能实现(基本不考虑技术指标)为主要实验内容。

2.基于自动设计技术和 FPGA 硬件平台的基础实验项目

这部分实验主要包括针对第6章、第7章(部分)、第8章(部分)的实验。内容主要 集中在通过数字系统自动设计软件和 FPGA 硬件实验平台,完成一些验证性的数字功能模 块和小规模数字系统设计的实验项目;实验目标是初步掌握基于现代数字系统自动设计技 术的系统建模方法、设计方法和测试方法,进而从工程实际的角度逐步深入了解数字电路 的系统结构与性能特点、设计与测试的手段。这部分实验的学时数可以根据教学要求适当 增加。

从实验内容上看,这部分实验与传统实验有不少重叠,但实验方法、实验工具、实验 平台,以及实验项目的实现和验证测试方法都完全不同,因为它们是基于自动设计技术的。 实验平台可以是基于 FPGA 的一切数字电路实验系统和数字逻辑自动化设计软件平台。 但为了更好地适应本教材给出的教学内容、实验要求和部分性能要求及技术指标,同时更 能适应现代数字系统设计技术的最新发展,建议 FPGA 硬件平台采用 Cyclone IV 系列或以 上,软件平台采用 Quartus Prime 17.1 或以上。

3. 基于自动设计技术和 FPGA 硬件平台的自主性和综合性实验项目

这部分实验主要包括针对第8章(部分),第9章、第10章和第12章的实验和设计项目,需要占用较多的实验学时数。实验平台与以上基本相同。由于部分实验内容与现代数字技术与工程实际有更好的适应性,因此实验内容有更多的综合性;对于实验项目的要求, 在实用性、自主性和创新性方面有了更多的挑战。

为此,实验环境和方式可分为两类:

(1)基于实验室的传统实验类型。在实验室完成实验和设计项目是实现传统教学实践 环节的基本途径,优势是可以利用实验室中完善的实验设备和测试工具,老师的临场指导, 及同学间的互动交流;缺点是有限的实验空间,难以自行安排的实验时间,以及有限的实 验课时数。这对于一些需要较多实验课时、较长前期实验准备和更灵活的实验时间安排的 自主性、创新性实验项目的完成有一定的阻碍。

(2)家庭实验类型。为了弥补以上实验类型的不足,以及基于数字系统自动设计技术的特殊性,不少学校为学习数字电路课程的学生人手配备一块基于 FPGA 的数字电路实验板,使得学生们能把一些自主性实验带回家(宿舍)去完成。这当然也得益于当前学生个人计算机普及率的大幅提高。

显然,与传统实验不同,基于自动设计技术的数字系统实验只涉及两个基本部分,即 软件和硬件;前者是功能强大的设计软件,如 Quartus Prime,这可以安装在任何个人计算 机中,实验者可以在任何可能的时间中在自己的计算机上对实验项目进行建模、设计、实 现、仿真、测试和验证;后者是高度集成的、硬件资源极为丰富的 FPGA 器件。由于以此 器件为核心的实验板所占的空间很小,所以大多数数字系统实验可以在实验室以外的地方, 包括学生宿舍中完成。这对于提高学习效率、实验效率、课余时间的利用率,以及自主创 新设计项目的实现的完整性都有不可替代的好处。

F.2 数字电路实验板基本结构与功能

这里主要介绍针对数字电路自动设计技术的实验板的结构配置、功能和基本用法。

为了验证教材中出现的示例和完成设计项目,将理论学习与工程实践紧密结合,实验演示的硬件平台选择的是康芯公司的 HX1006A 开发板和 KX-7C10E+型实验板,它们所选择的 FPGA 分别对应 Cyclone 10 LP 系列的 10CL006YU256、Cyclone III系列的 EP3C10E144。

如果读者手头已有类似实验系统,也同样能完成本教材的实验和实训项目,只是要注意,如果目标芯片和封装不一样,须对示例中的 FPGA 的引脚锁定作更改,特别是对于现成的示例源文件(都是以 Cyclone 10 LP FPGA 作目标器件的),则要作较多的改变,其中除引脚锁定外,还须改变 LPM 存储器、锁相环等。

因此作者推荐使用 Intel 最新的 Cyclone 10 LP 系列 FPGA 作为实验目标器件 ,Cyclone

10 LP 是 Intel 2017 年推出的 60nm 工艺制造、新一代高容量和成本敏感型 FPGA, 延续了 前代 Cyclone V FPGA 的低功耗领导地位。此外,不仅本教材所有硬件验证示例和实验都是 基于此系列器件,更重要的是 Cyclone 10 LP FPGA 的高性价比和较好的市场前景。此系列 器件以其高集成度、高速、大规模内嵌 RAM 以及优秀的锁相环的性能,使之前的诸多系 列(如 ACEX、FLEX、APEX、Cyclone /II/III/IV 等)都不可望其项背。

为了能更好地完成所给出的实验设计项目,以下简要介绍相关的使用说明,以备查用。

1.HX1006A 开发板的主要硬件配置

此系统也可作为课外自主实验开发。由于 HX1006 A 开发板 (图 F-1)本身配置比较完整且结构紧凑,同时含许多标准接口,因此除在该系统上可完成大量实验和设计项目外,还可通过接插各类扩展模块实现更多项目的实验和创新设计。相关引脚锁定信息可以参考辅助软件"HX1006A Project Builder"下的 Help→PIN\_MAP 菜单。



图 F-1 HX1006A 开发板

## 系统含有如下硬件配置:

(1) Cyclone 10 LP 型 FPGA, 10CL006YU256, 含 6272 个逻辑宏单元, 2 个锁相环, 约 90 万门、43 万 RAM 单元; FPGA 配置 Flash EPCS4/16(16Mb), 超宽超高锁相环输出 频率: 1300MHz~2kHz。

(2) CPLD EPM3032A-44PinTQFP、1602 字符液晶屏、8 个动态扫描数码管、8 个双色 LED、混合电压源(1.2V、2.5V、3.3V、5V)、6 个按键、4 个输入开关、1 个 4 位拨码开 关、蜂鸣器、USB 电源线、RS23 通信线。

(3) 标准接口系列 1: VGA 显示器接口、PS/2 键盘接口、PS/2 鼠标接口、USB 转 UART 接口。

(4)标准接口系列2:USB电源接口、JTAG编程接口。

164

(5)标准接口系列3:标配2组40芯外扩口,提供5V、3.3V电源,可用2×36个IO, 兼容市场上大多数扩展板。

(6)标准接口4:可接插128×64液晶屏等

(7) 板载 256Mb SDRAM、W25Q64 SPI NOI FLASH, 支持 SPI 和 SD 模式的 Micro SD 卡。

(8) 可运行 8051 IP 核。

2. KX-7C10E+系统的主要硬件配置

此系统也可作为课外自主实验开发。由于 KX-7C10E+系统(图F-2)本身配置比较完整且 结构紧凑,同时含许多标准接口,因此除在本 系统上可完成大量实验和设计项目外,还可通 过接插各类扩展模块实现更多项目的实验和创 新设计。系统含有如下硬件配置:



图 F-2 KX-7C10E+主系统板

(1) Cyclone III 型 FPGA, EP3C10E144, 含 10320 个逻辑宏单元、2 个锁相环,约 55 万门、27 万 RAM 单元; FPGA 配置 Flash EPCS16(16Mb),超宽超高锁相环输出频率: 1300MHz~2kHz。

(2) CPLD EPM3032A-44PinTQFP、1602 字符液晶屏、3 数码管、8 发光管、混合电压 源(1.2V、2.5V、3.3V、5V)、8 键、2-4 位拨码开关、蜂鸣器; USB 电源线、RS23 通信 线、4×4 键盘、2 个全局时钟输入口,其中一个是第2 锁相环时钟口。

(3)标准接口系列1: VGA显示器接口、PS/2键盘接口、PS/2鼠标接口、RS232串行接口。

(4)标准接口系列2:USB电源接口、JTAG编程接口、DS18B20数字温度器件接口。

(5)标准接口系列3:字符型液晶接口,可接1602(2行16字符),2004(4行20字符),1604(4行16字符);含中文字库64×128等液晶显示屏;点阵液晶接口,可接64×128点阵型液晶显示屏。

(6)标准接口4。可接插800×480数字TFT彩色液晶屏等。

(7) USB-Blaster 编程器与 USB 至 RS232 串行通信接口综合实验接口板。

F.3 mif 文件生成器使用方法

本书中给出的一些有关 LPM RAM 或 ROM 的实验都将用到 mif 格式初始化文件,这可以用不同方法获得,但比较方便的方法是使用 mif 文件生成器。这里介绍康芯公司为本书读者免费提供的 mif 生成软件 Mif Maker 的使用方法

双击打开 Mif\_Maker 2010,如图 F-3 所示。首先对所需要的 mif 文件对应的波形参数 进行设置。如图 F-4 所示,选择"查看",并于此下拉菜单中选择"全局参数设置"。如选



择波形参数:数据长度 256,输出数据位宽 8, 数据表示格式十六进制(有的情况下需要选择 有符号类型,如幅度调制信号发生器的设计等), 初始相位 120 度(如设计 SPWM 中要用到此相 位设定),按"确定"后,将出现一波形编辑窗。

图 F-3 打开"Mif Maker 2010"

然后再选择波形类型。选择"设定波形",再选择"正弦波",如图 F-5 所示。

这时,图F-5将出现正弦波型。如果要编辑任意波形,可以选择"手绘波形"项,在 下拉菜单中选择"线条"(图 F-6),表示可以手工绘制线条。然后即可在图形编辑窗中原 来的正弦波形上绘制任意波形 (图 F-6)。最后选择"文件"中的"保存",将编辑好的波 形文件以 mif 格式保存 (图 F-7)。如取名为 WAVE1.mif。

如果要了解编辑波形的频谱情况可以选择"查看"项的"频谱"。 如图 F-8 所示的锯齿 波的归一化频谱显示于图 F-9 上。







图 F-5 选择波形类型

2 255, 0xFF

- 🗧 🖆 📰 -

•

? 🗙

保存(S)

取消

hipg



图 F-6 手动编辑波形

图 F-7 存储波形文件

(166







图 F-9 锯齿波频谱