

# 第2章

原理图输入法逻辑电路设计技术

## ● ● ● | 2.1 原理图输入设计方法的特点

- 能进行几乎任意层次的数字系统设计。
- 对系统中的任一层次，或任一元件的功能能进行精确的时序仿真，精度达**0.1ns**。
- 通过时序仿真，能迅速定位电路系统的错误所在，并随时纠正。
- 能对设计方案进行随时更改，并储存设计过程中所有的电路和测试文件入档。
- 通过编译和下载，能在**FPGA**上对设计项目随时进行硬件测试验证。
- 如果使用**FPGA**和配置编程方式，将不会有器件损坏和损耗的问题。
- 符合现代电子设计技术规范。



## 2.2 数字频率计设计任务导入

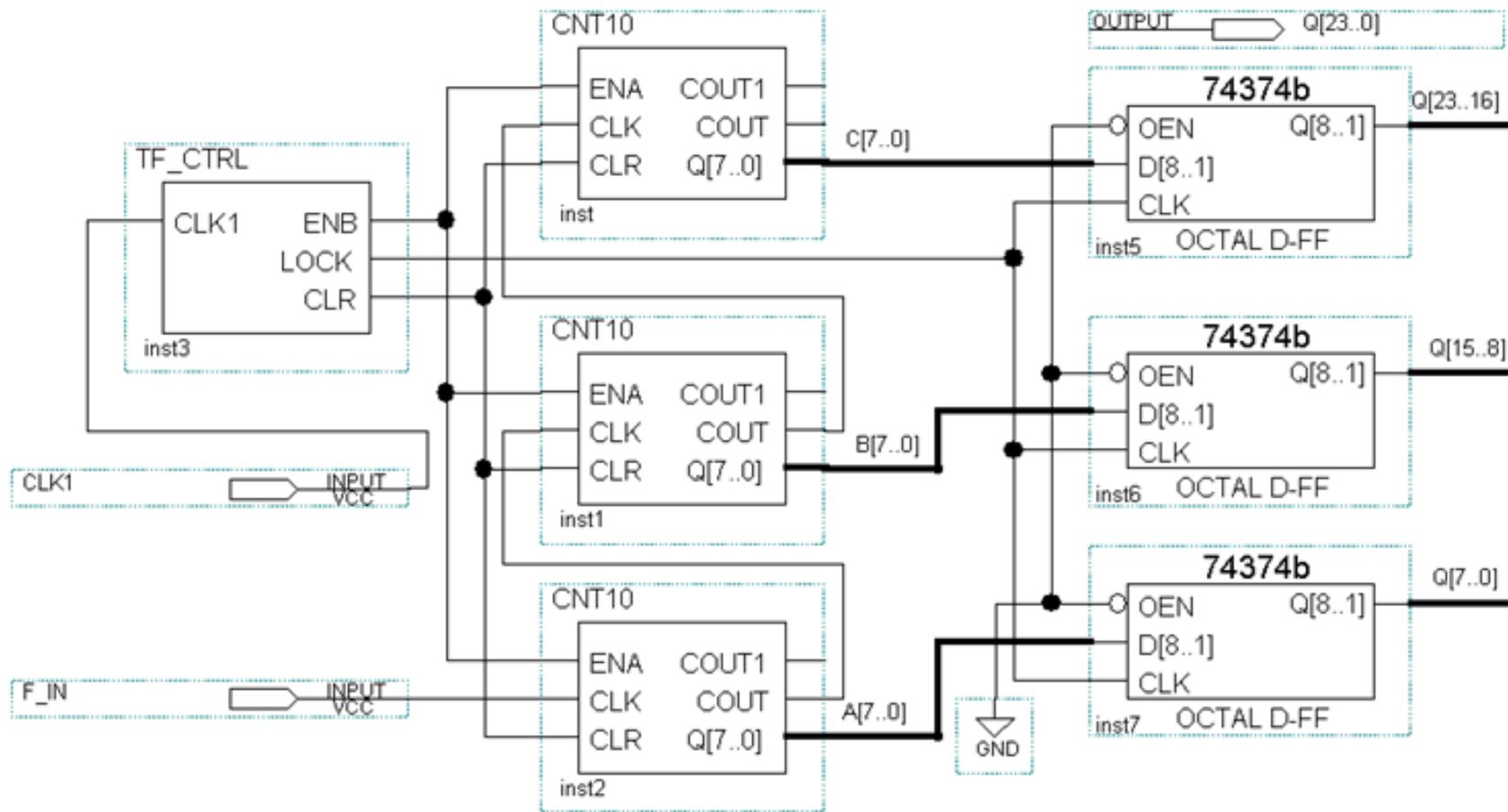


图 2-1 6 位数字频率计顶层电路原理图



## 2.2 数字频率计设计任务导入

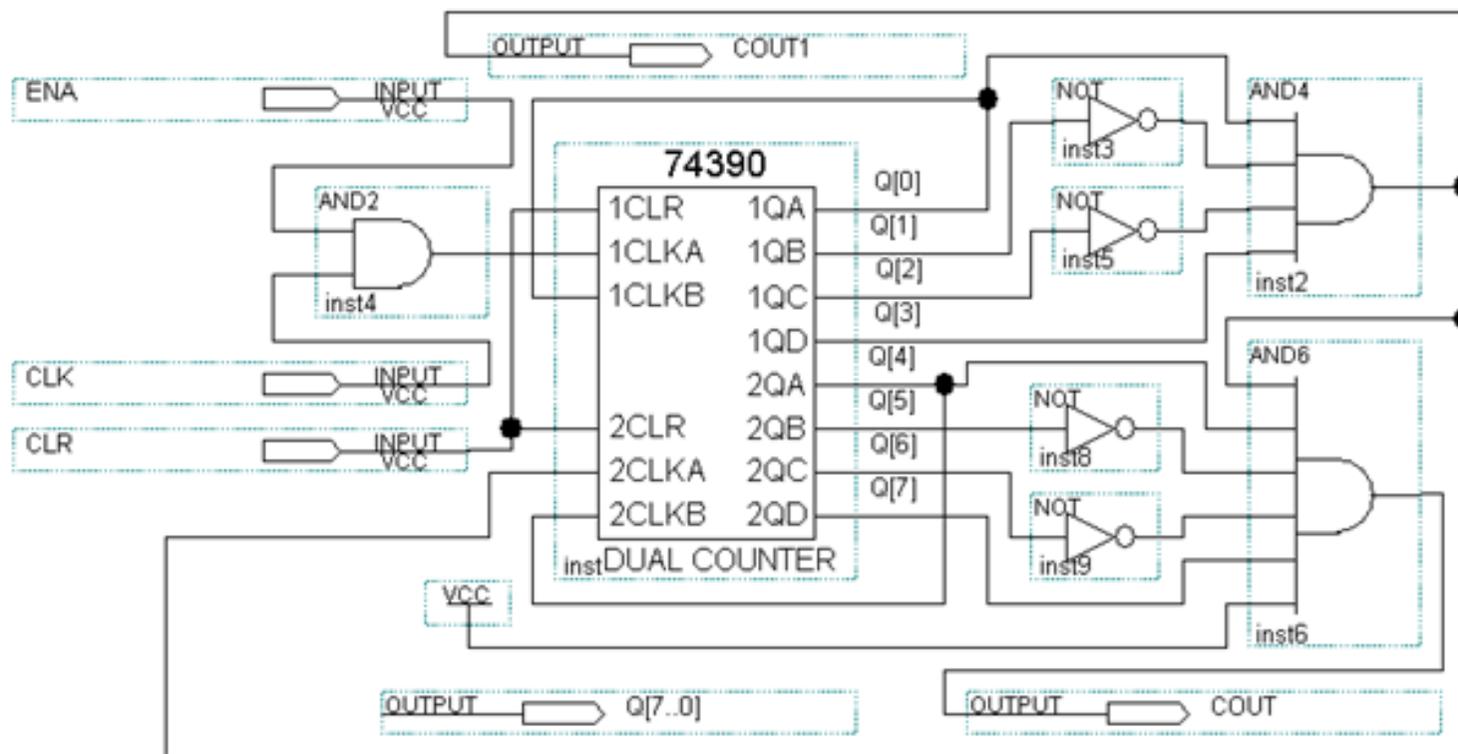


图 2-2 模块 CNT10 的内部结构（两位十进制计数器电路图）

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.1 建立工作库文件夹和存盘原理图空文件

(1) 新建一个文件夹。

(2) 建立原理图源文件编辑窗。

(3) 空文件存盘。

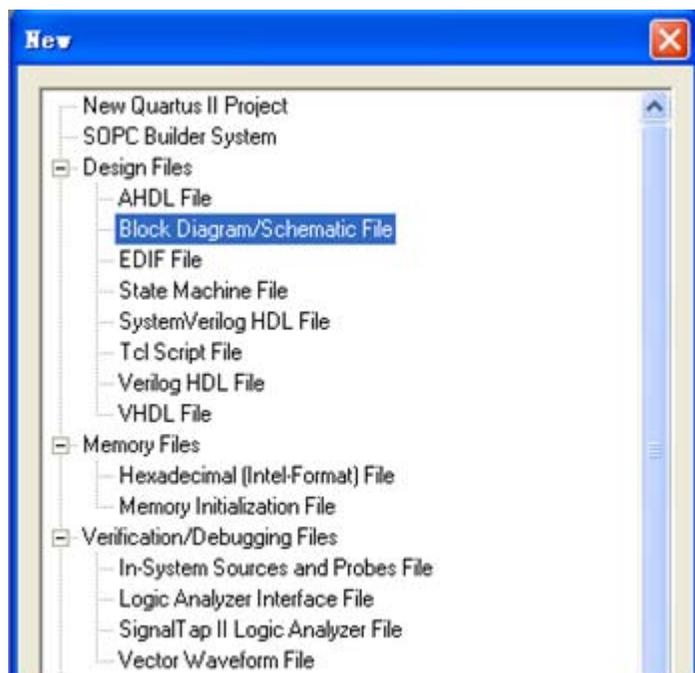


图 2-3 选择原理图编辑文件类型

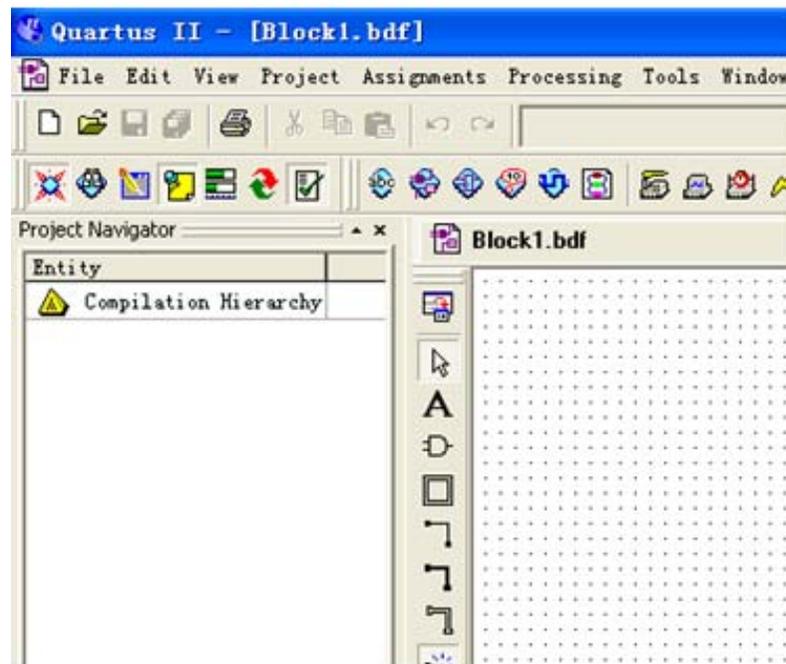


图 2-4 打开原理图编辑窗

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.2 创建工程

(1) 打开建立新工程管理窗。



图 2-5 利用“New Project Wizard”创建工程 CNT10

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.2 创建工程

(2) 将设计文件加入工程中。

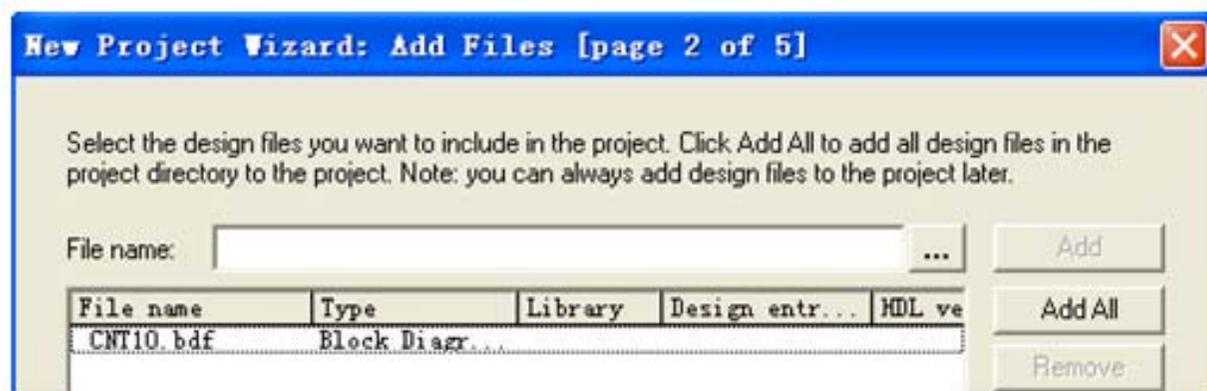


图 2-6 将所有相关的文件都加入进此工程

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.2 创建工程

(3) 选择目标芯片。

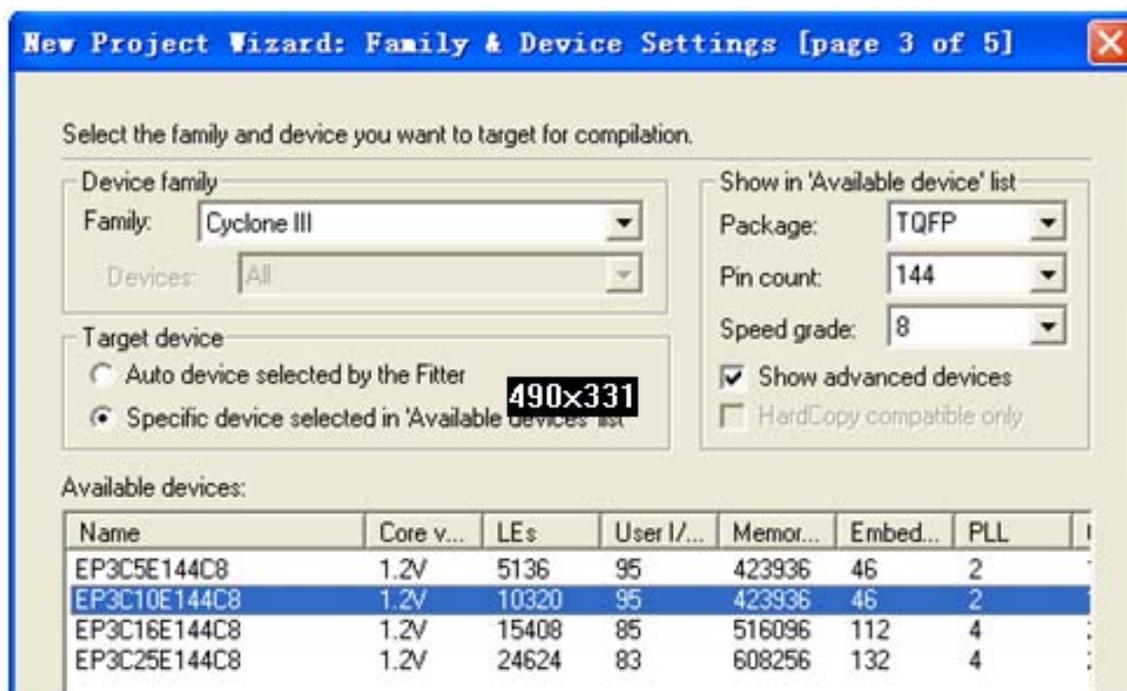


图 2-7 选择目标器件 EP3C10E144C8 型 FPGA

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.2 创建工程

(4) 工具设置。

(5) 结束设置。

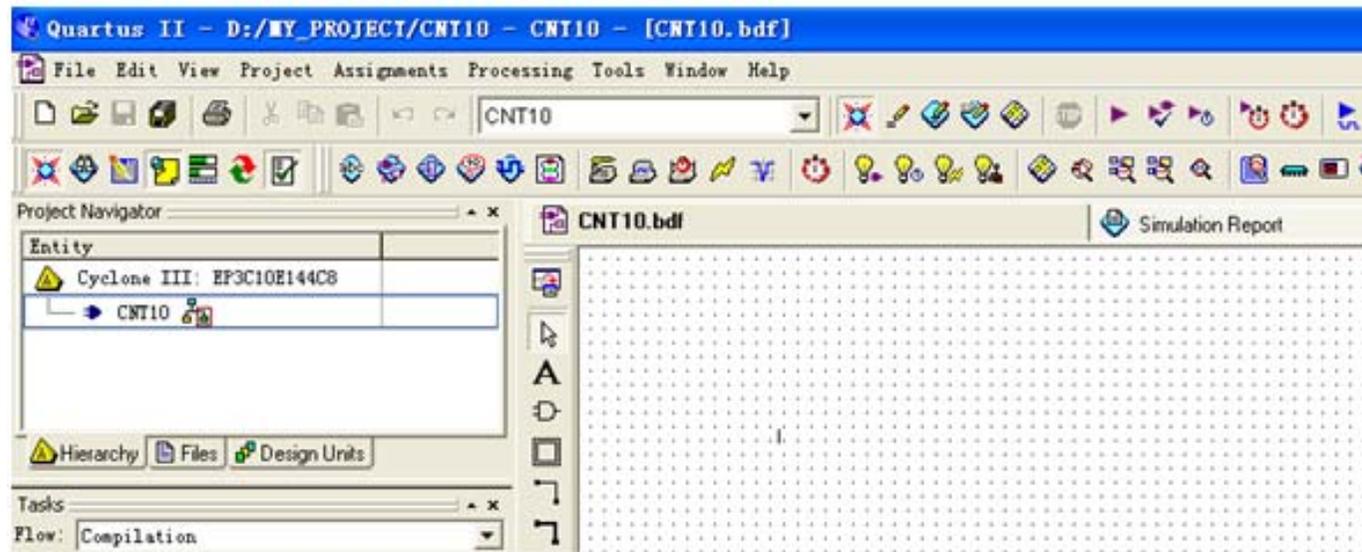


图 2-8 CNT10 工程管理窗

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.2 创建工程

(6) 编辑构建电路图。

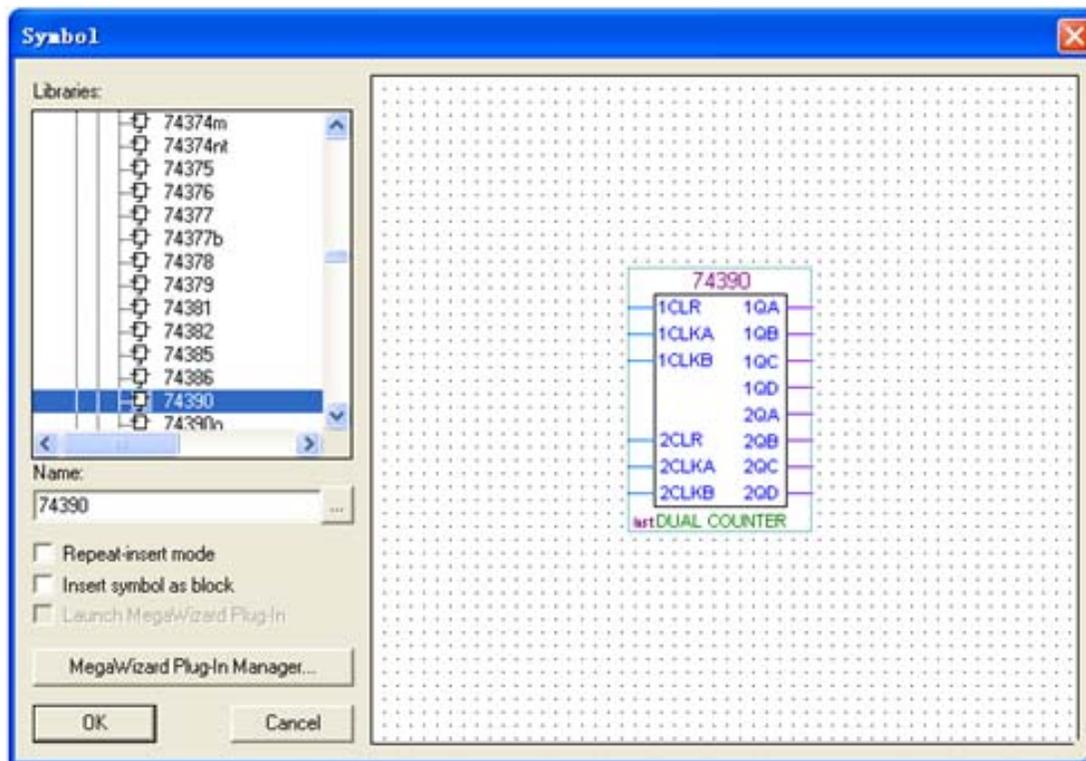


图 2-9 在元件调用对话框调出需要的宏功能元件：74390



# 2.3 原理图输入方式基本设计流程

## 2.3.3 功能简要分析

**74390 (Counter)**  
Macrolfunctions

Dual Decade Counter

Default Signal Levels: **GND**-1CLR, 1CLKB, 2CLR, 2CLKB  
**VCC**-1CLKA, 2CLKA

**AHDL Function Prototype (port name and order also apply to Verilog HDL):**

```
FUNCTION 74390 (1clr, 1clka, 1clkb, 2clr, 2clka, 2clkb)  
  RETURNS (1qd, 1qc, 1qb, 1qa, 2qd, 2qc, 2qb, 2qa):
```

Inputs		Outputs						
CLR	CLK	QD	QC	QB	QA			
H	X	L	L	L	L			
L	1	Count						

Possible Counting Configurations:

Decade: QA Connected to CLKB					Bi-Quinary: QD Connected to CLKA				
Count	QD	QC	QB	QA	Count	QA	QD	QC	QB
0	L	L	L	L	0	L	L	L	L
1	L	L	L	H	1	L	L	L	H
2	L	L	H	L	2	L	L	H	L
3	L	L	H	H	3	L	L	H	H
4	L	H	L	L	4	L	H	L	L
5	L	H	L	H	5	H	L	L	L
6	L	H	H	L	6	H	L	L	H
7	L	H	H	H	7	H	L	H	L
8	H	L	L	L	8	H	L	H	H
9	H	L	L	H	9	H	H	L	L

图 2-10 74390 的真值表

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.4 编译前设置

(1) 选择FPGA目标芯片。

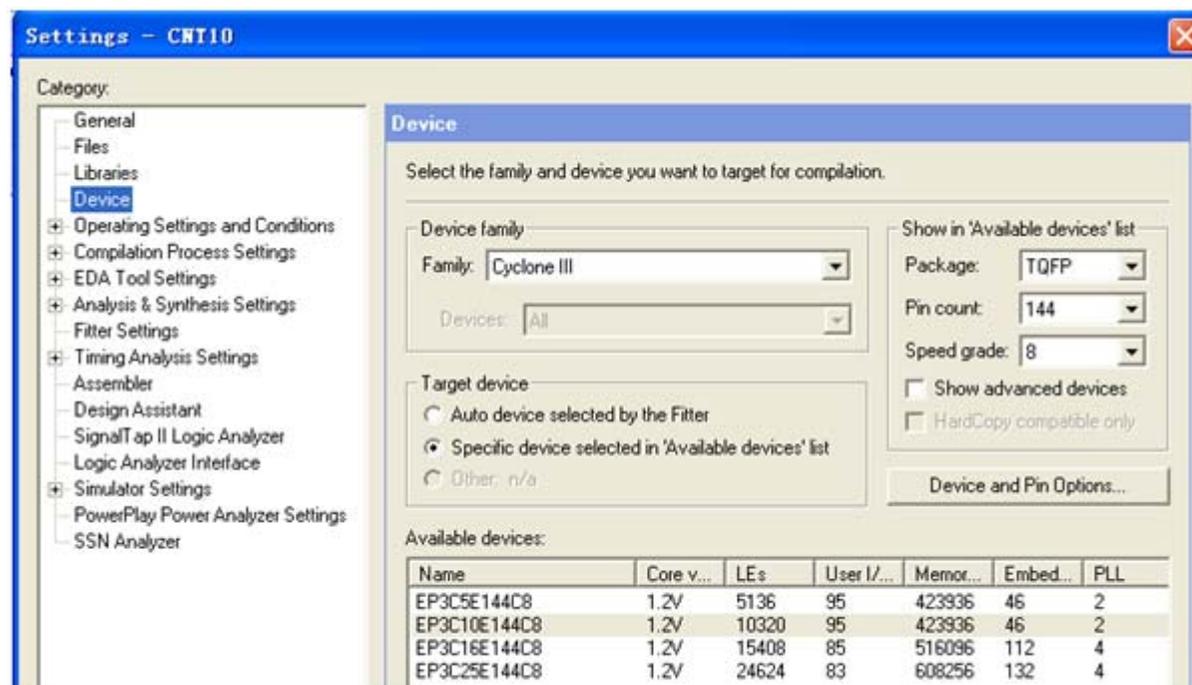


图 2-11 由 Settings 对话框选择目标器件 EP3C10E144C8

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.4 编译前设置

(2) 选择配置器件的工作方式。

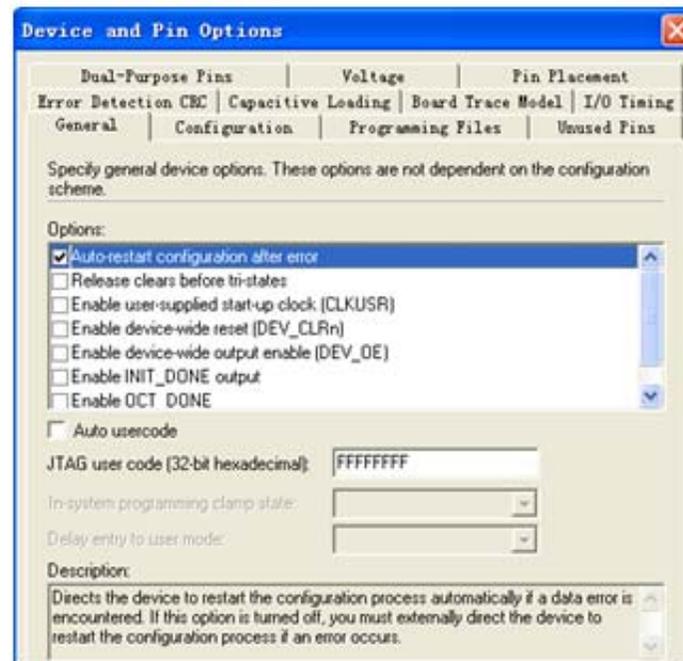


图 2-12 选择配置器件的工作方式

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.4 编译前设置

(3) 选择配置器件和编程方式。

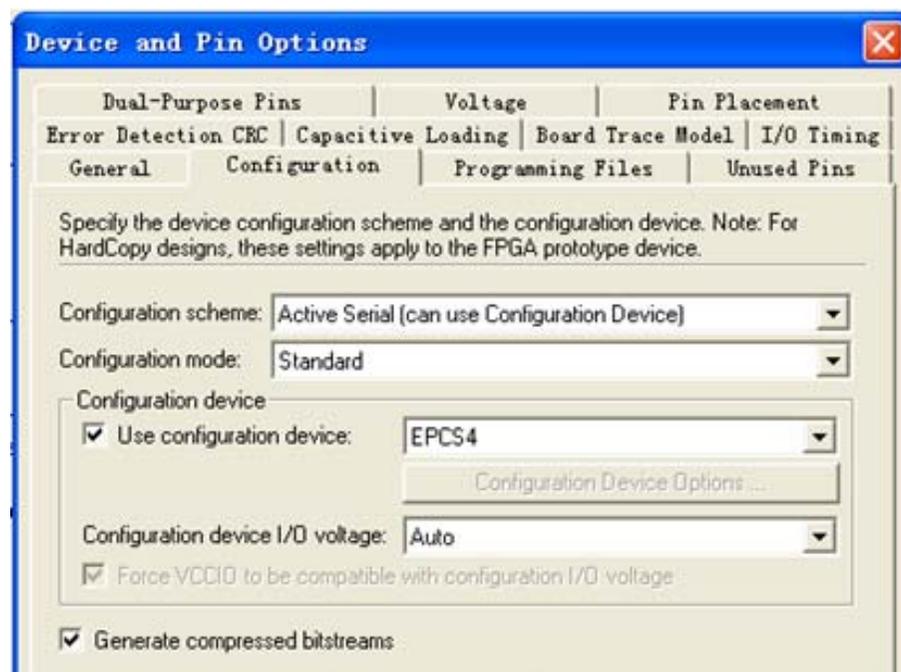


图 2-13 选择配置器件型号和压缩方式

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.4 编译前设置

(4) 双功能输入输出端口设置。

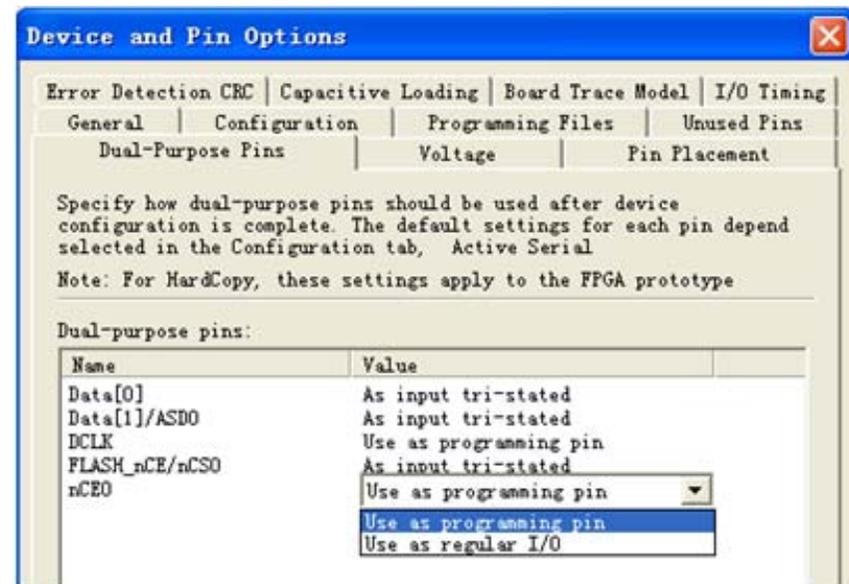


图 2-14 指定 nCEO 脚为普通 I/O 端口

(5) 选择输出设置（此项操作可以不做，即保持默认）

(6) 选择目标器件闲置引脚的状态。

# ● ● ● 2.3 原理图输入方式基本设计流程

## 2.3.5 全程编译

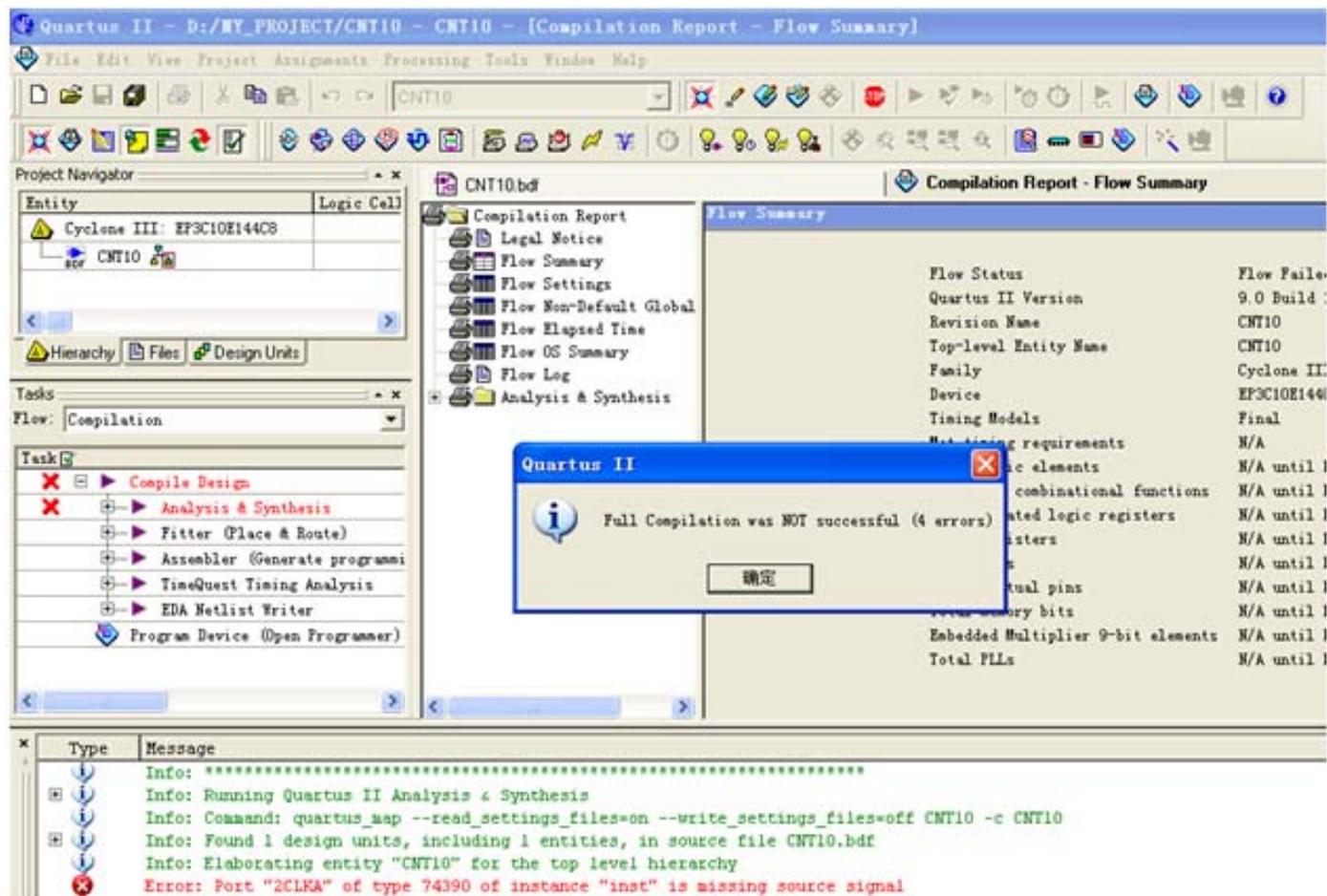


图 2-15 全程编译后出现报错信息

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.6 时序仿真测试电路功能

(1) 打开波形编辑器。

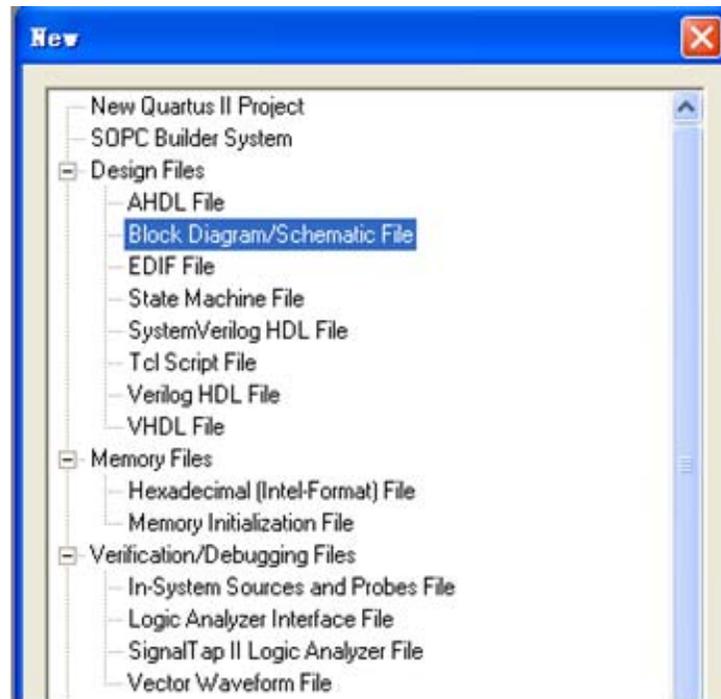


图 2-3 选择原理图编辑文件类型

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.6 时序仿真测试电路功能

#### (2) 设置仿真时间区域。

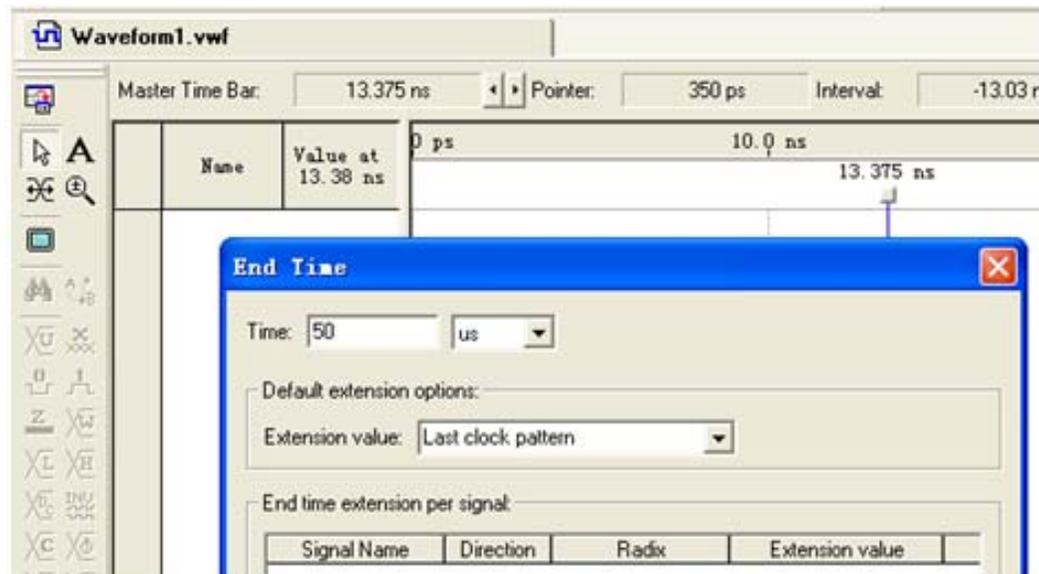


图 2-16 设置仿真时间长度

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.6 时序仿真测试电路功能

(3) 波形文件存盘。

(4) 将工程**cnt10**的端口信号名选入波形编辑器中。

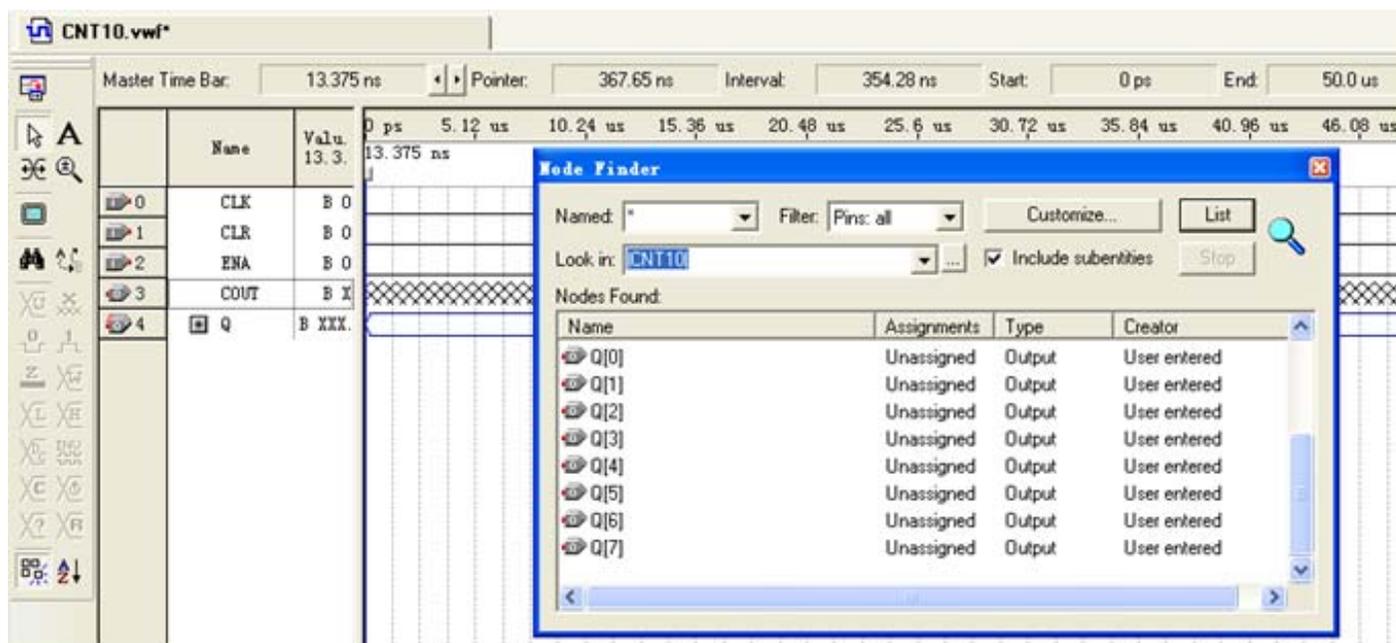


图 2-17 从 Node Finder 窗向波形编辑器拖入信号节点

# ● ● ● 2.3 原理图输入方式基本设计流程

## 2.3.6 时序仿真测试电路功能

(5) 编辑输入波形（输入激励信号）。

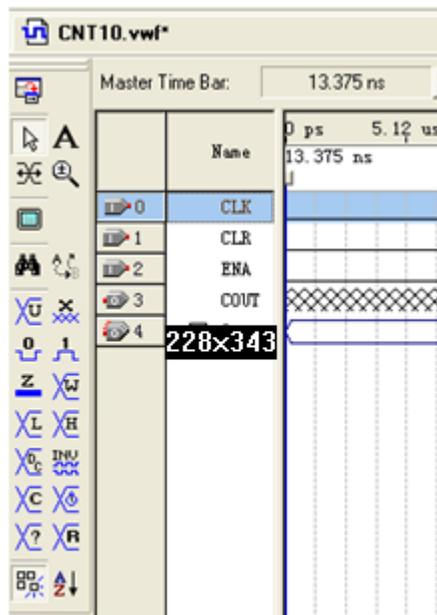


图 2-18 准备给 CLK 设置时钟

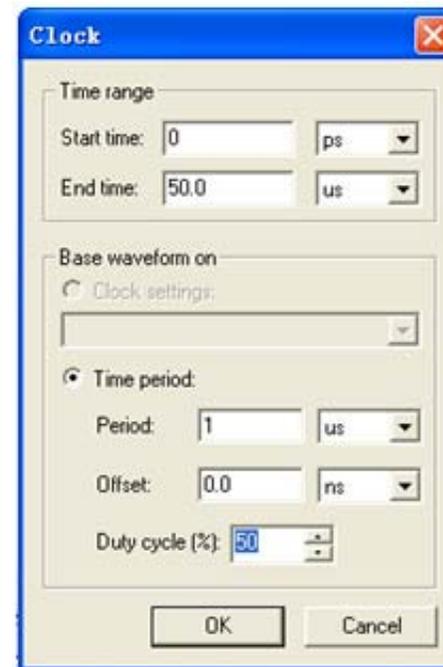


图 2-19 为 CLK 设置周期

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.6 时序仿真测试电路功能

#### (6) 总线数据格式设置。



图 2-20 为总线 Q 设置数制 Radix

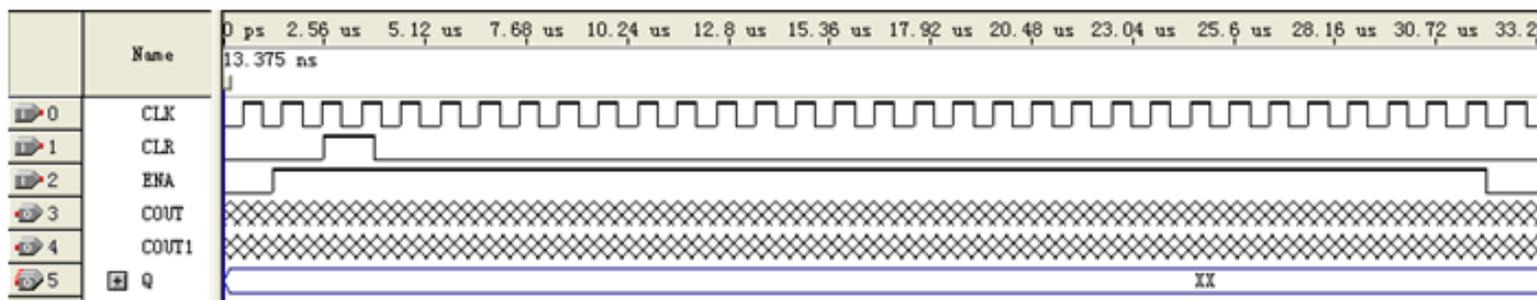


图 2-21 设置好的激励波形图

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.6 时序仿真测试电路功能

#### (7) 仿真器参数设置。

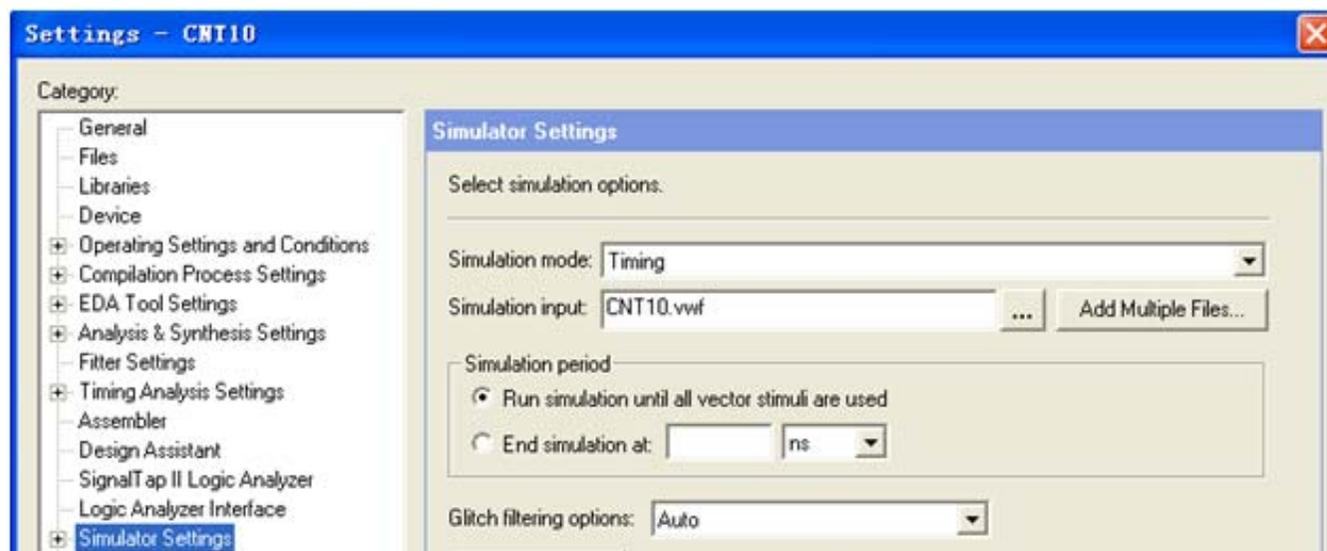


图 2-22 选择仿真约束和控制

## ● ● ● 2.3 原理图输入方式基本设计流程

### 2.3.6 时序仿真测试电路功能

(8) 启动仿真器。

(9) 观察仿真结果。

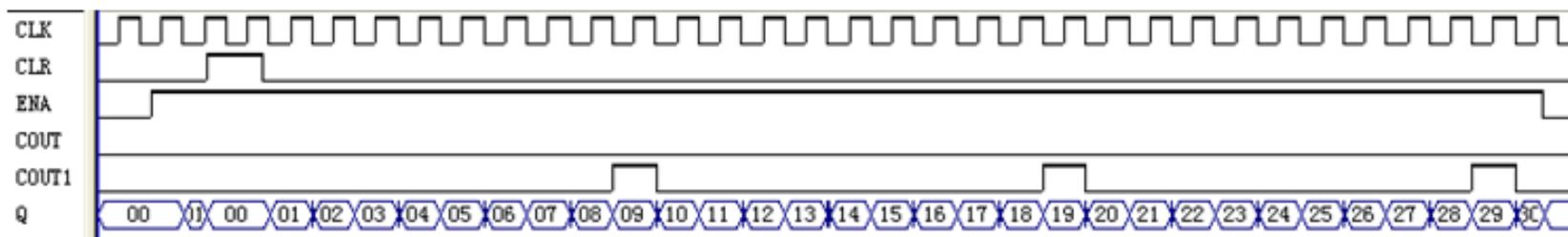


图 2-23 图 2-2 电路的仿真波形输出



## 2.4 引脚设置和编程下载

### 2.4.1 引脚锁定

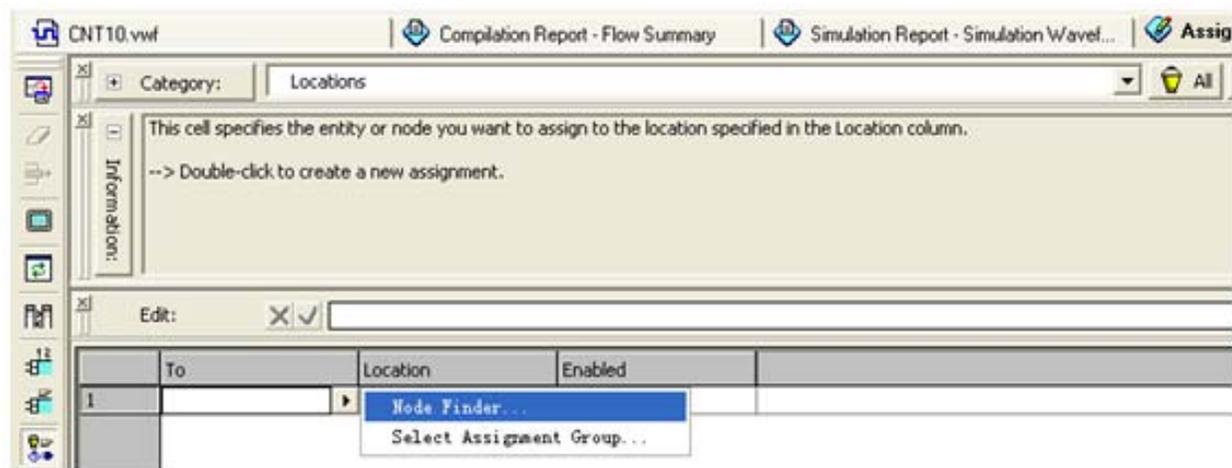


图 2-24 利用 Assignment Editor 编辑器锁定 FPGA 引脚



## 2.4 引脚设置和编程下载

### 2.4.1 引脚锁定

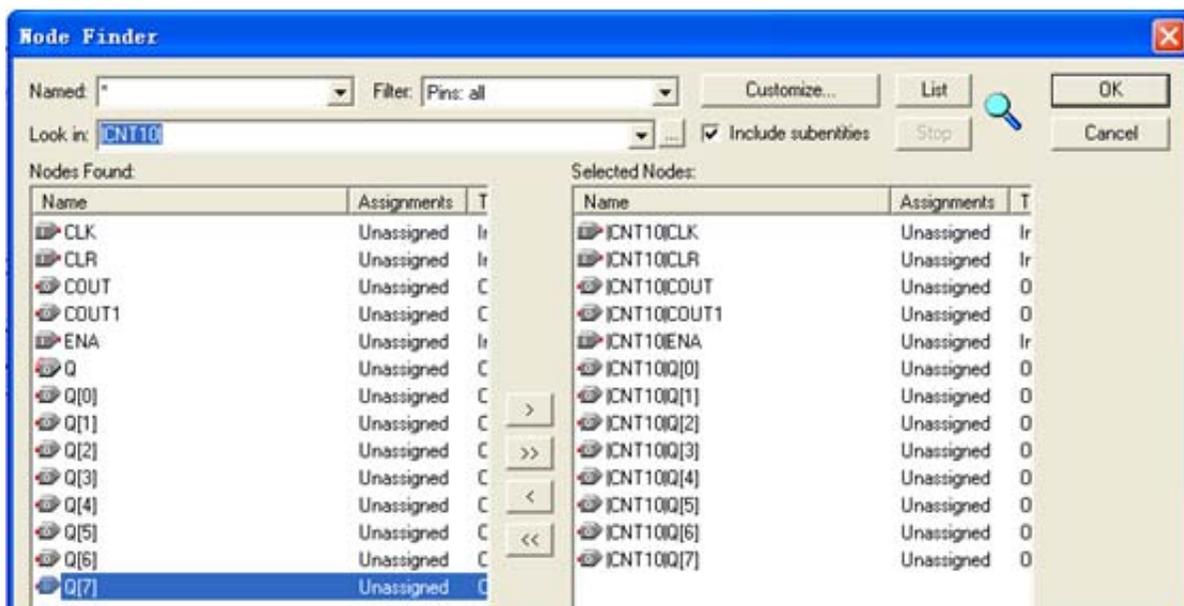


图 2-25 选择需要锁定的引脚信号

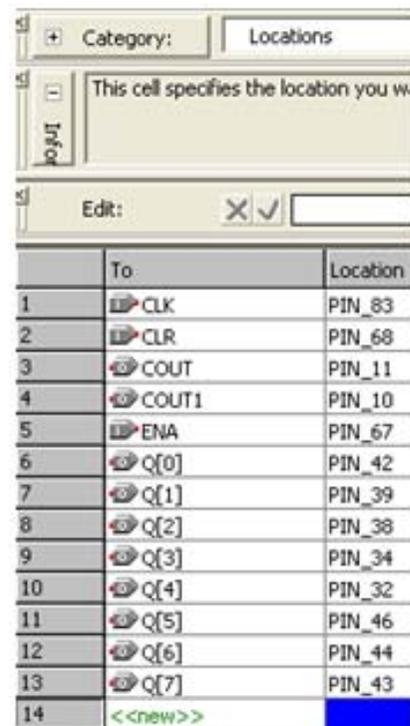


图 2-26 引脚锁定对话框



## 2.4 引脚设置和编程下载

### 2.4.2 配置文件下载

(1) 打开编程窗和配置文件。

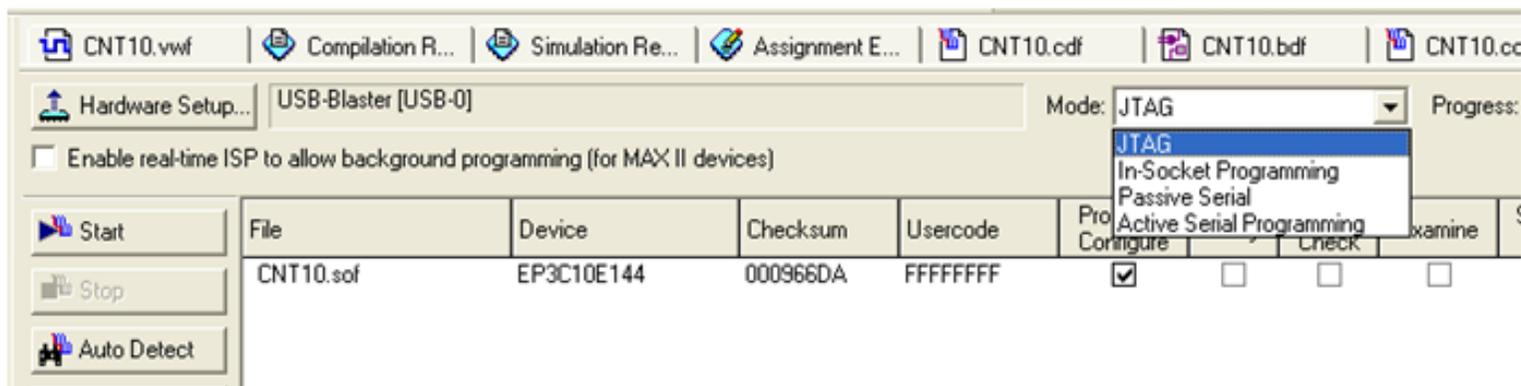


图 2-27 选择编程下载文件和下载模式



## 2.4 引脚设置和编程下载

### 2.4.2 配置文件下载

#### (2) 设置编程器。

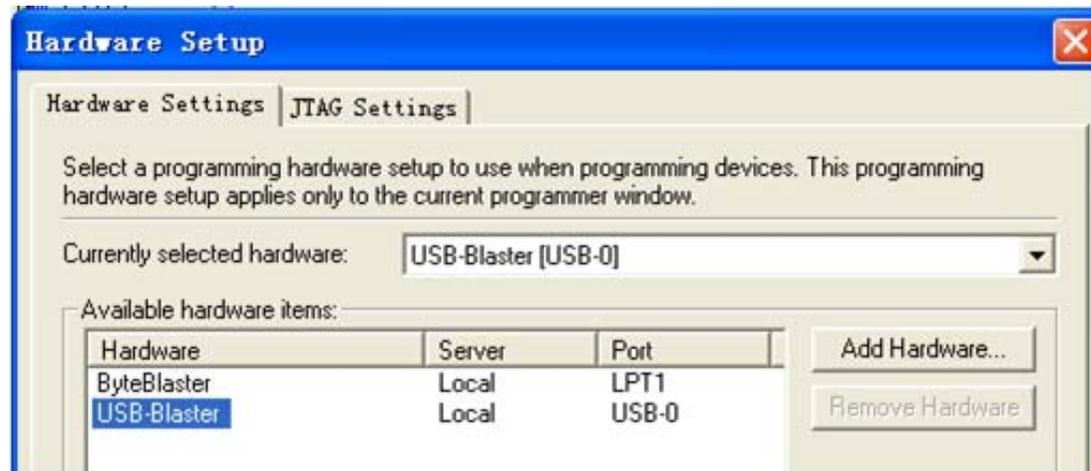


图 2-28 加入编程下载方式

#### (3) 测试JTAG接口。

#### (4) 硬件测试。



## 2.4 引脚设置和编程下载

### 2.4.3 AS模式直接编程配置器件

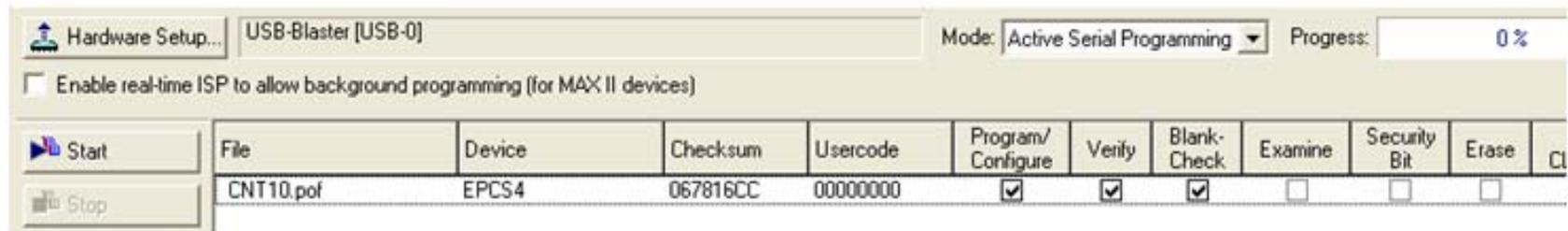


图 2-29 AS 模式编程窗口



## 2.4 引脚设置和编程下载

### 2.4.4 JTAG间接模式编程配置器件

1. 将SOF文件转化为JTAG间接配置文件。

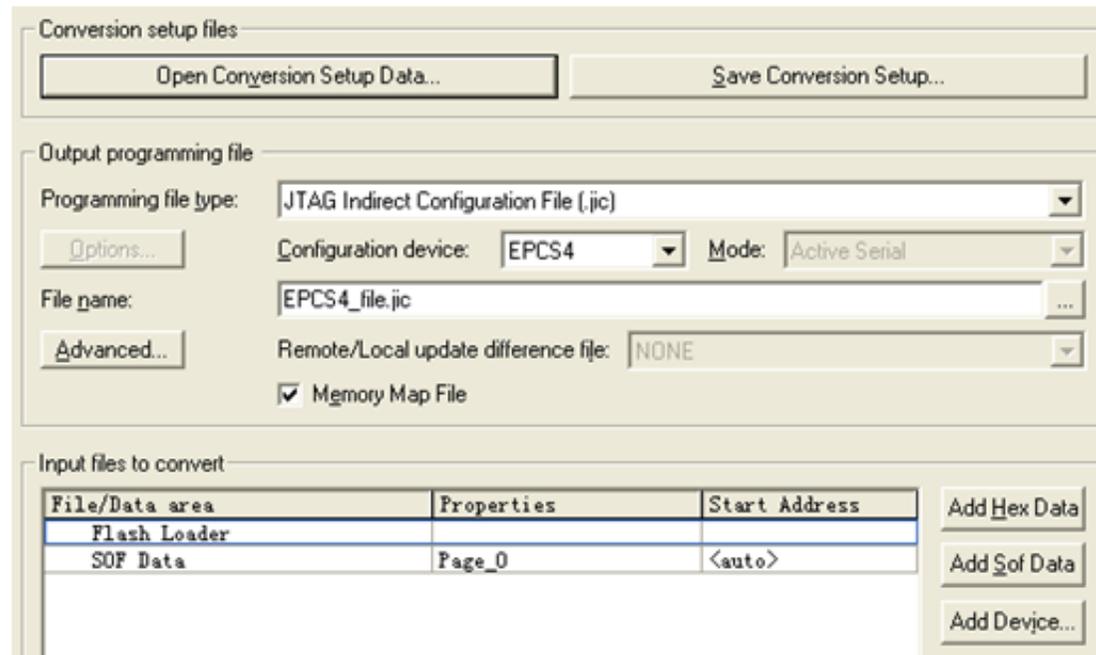


图 2-30 设定 JTAG 间接编程文件



## 2.4 引脚设置和编程下载

### 2.4.4 JTAG间接模式编程配置器件

1. 将SOF文件转化为JTAG间接配置文件。



图 2-31 选择目标器件 EP3C10

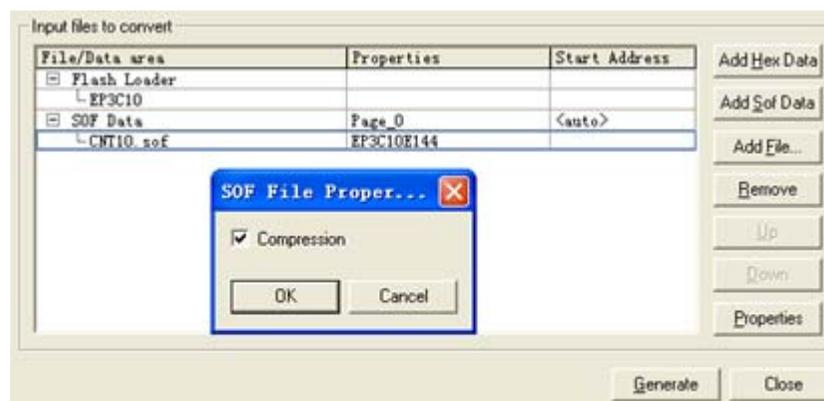


图 2-32 选定 SOF 文件后，选择文件压缩



## 2.4 引脚设置和编程下载

### 2.4.4 JTAG间接模式编程配置器件

#### 2. 下载JTAG间接配置文件。

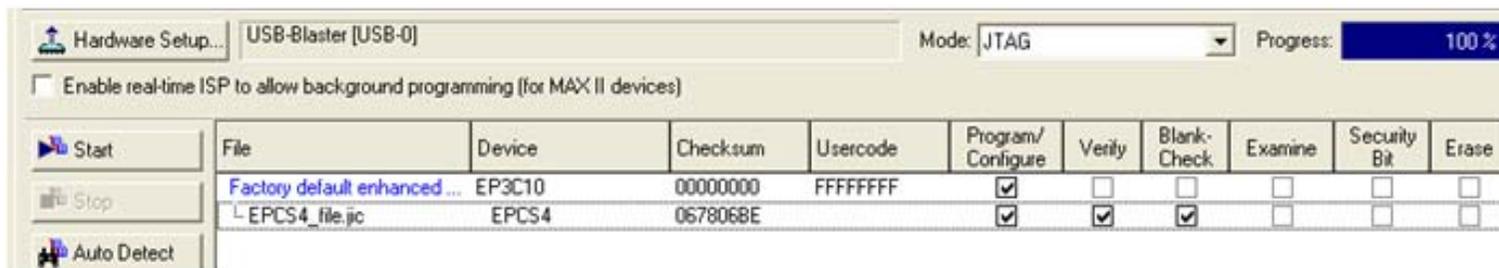


图 2-33 用 JTAG 模式经由 FPGA 对配置器件 EPCS4 进行间接编程

### 2.4.5 USB-Blaster编程配置器安装方法



## 2.5 层次化设计

### 1. 构建元件符号

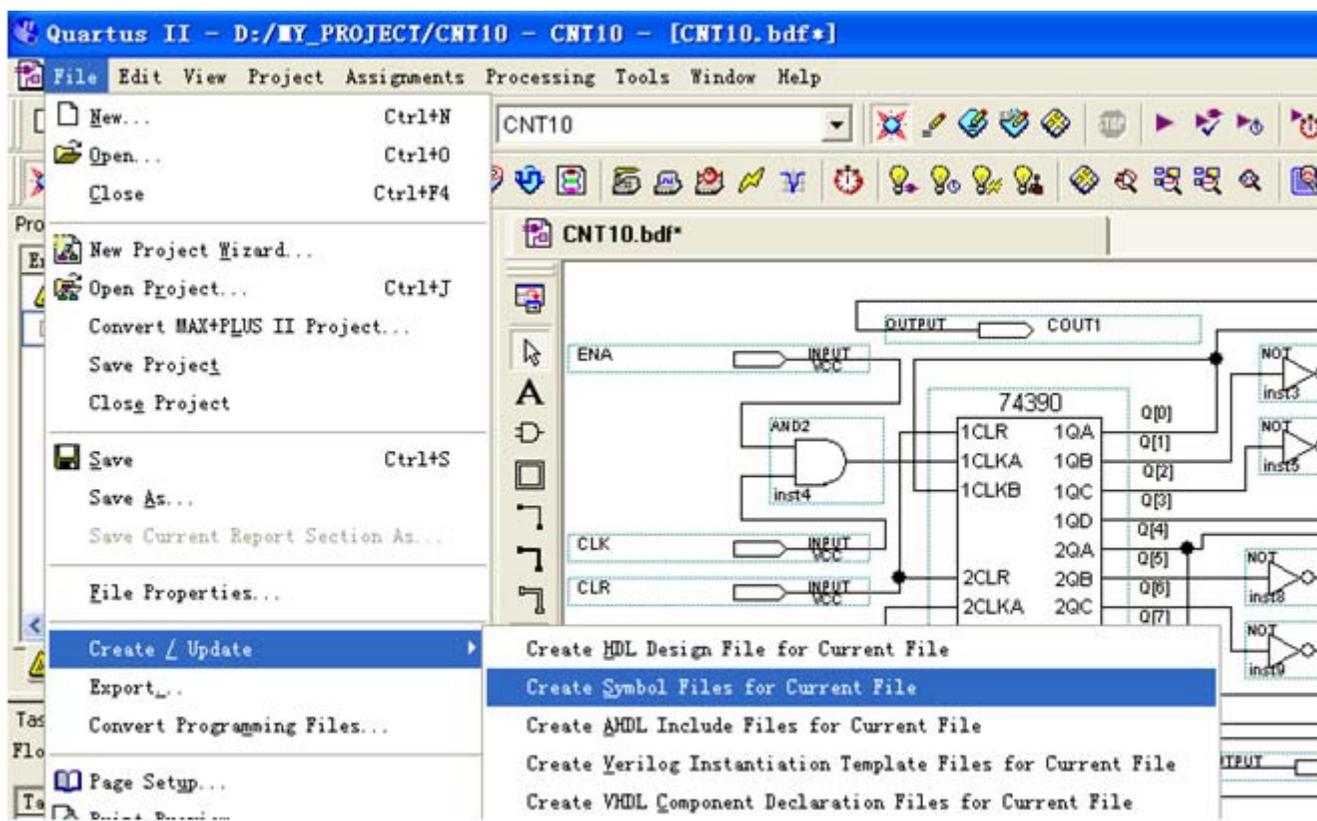


图 2-34 将当前电路原理图设计生成为一个元件 (Symbol) 模块



## 2.5 层次化设计

### 2. 构建顶层文件

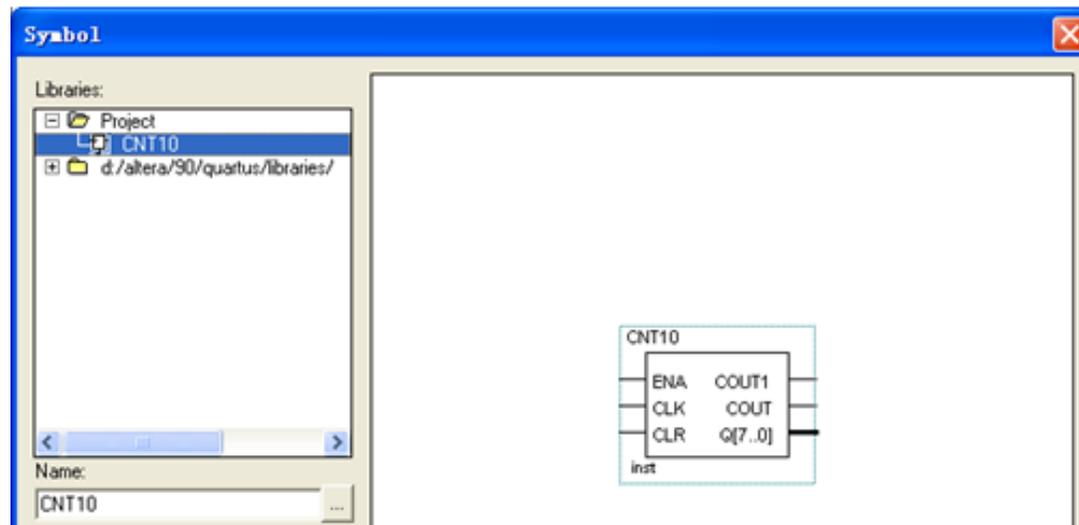


图 2-35 在高一层原理图的当前工程路径中调入元件 CNT10



## 2.5 层次化设计

### 2. 构建顶层文件

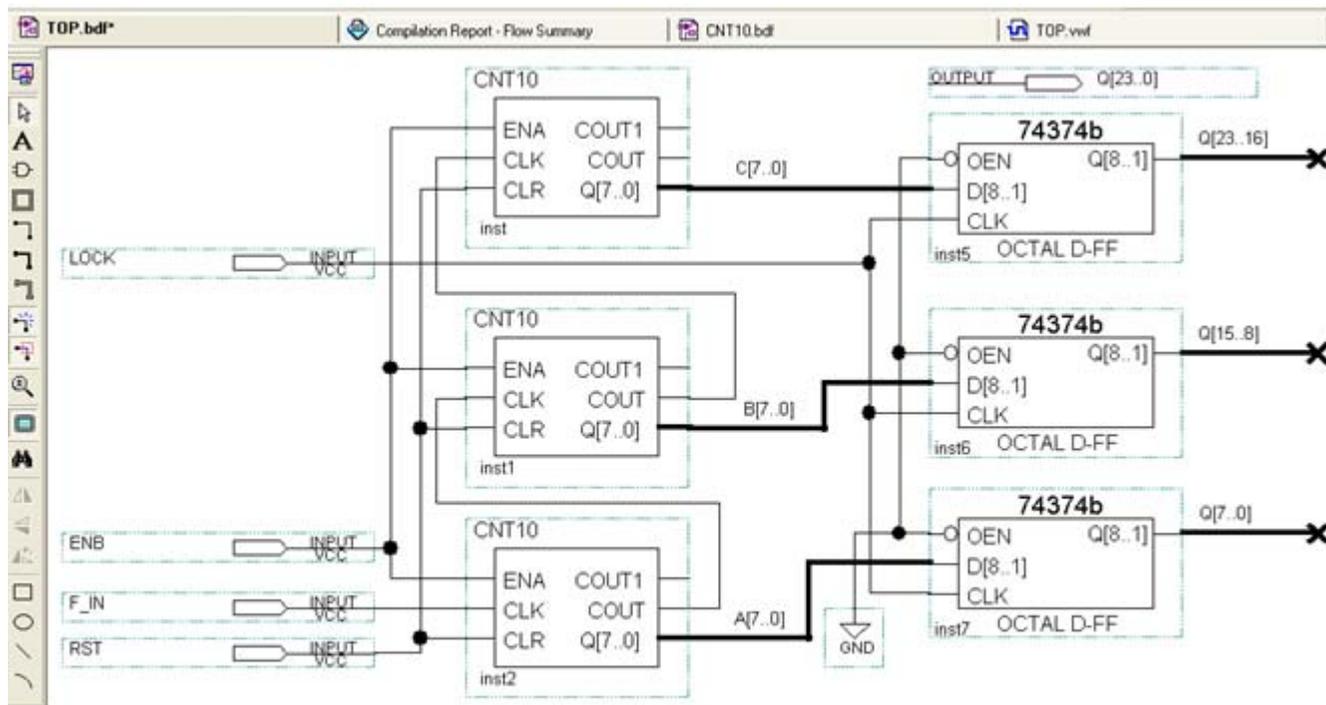


图 2-36 基于元件 CNT10 扩展的 6 位十进制计数器



## 2.5 层次化设计

### 3. 功能分析和全程编译

目录 (C)   索引 (I)   后退 (B)   打印 (P)   Glossary																												
<b>74374b (Register)</b>																												
Macrofunctions																												
Octal D-Type Flipflop with Tri-State Outputs and Output Enable																												
Default Signal Levels: <b>GND</b> --all input pins																												
<b>AHDL Function Prototype (port name and order also apply)</b>																												
FUNCTION 74374b (clk, oen, d[8..1])																												
RETURNS (q[8..1]):																												
<table border="1"><thead><tr><th colspan="3">Inputs</th><th>Outputs</th></tr><tr><th>OEN</th><th>CLK</th><th>D</th><th>Q</th></tr></thead><tbody><tr><td>H</td><td>X</td><td>X</td><td>Z</td></tr><tr><td>L</td><td>J</td><td>H</td><td>H</td></tr><tr><td>L</td><td>J</td><td>L</td><td>L</td></tr><tr><td>L</td><td>L</td><td>X</td><td>Qo</td></tr></tbody></table>					Inputs			Outputs	OEN	CLK	D	Q	H	X	X	Z	L	J	H	H	L	J	L	L	L	L	X	Qo
Inputs			Outputs																									
OEN	CLK	D	Q																									
H	X	X	Z																									
L	J	H	H																									
L	J	L	L																									
L	L	X	Qo																									

图 2-37 74374 真值表



## 2.5 层次化设计

### 4. 时序仿真

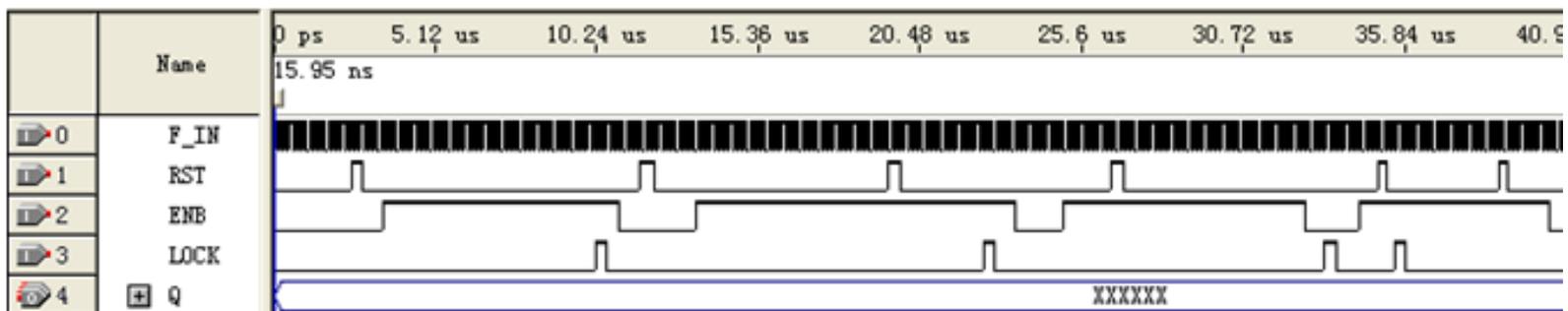


图 2-38 图 2-36 电路的仿真激励波形图，或称矢量波形文件



## 2.5 层次化设计

### 4. 时序仿真



图 2-39 图 2-36 电路的仿真波形图（取 ENB 为不同脉宽）

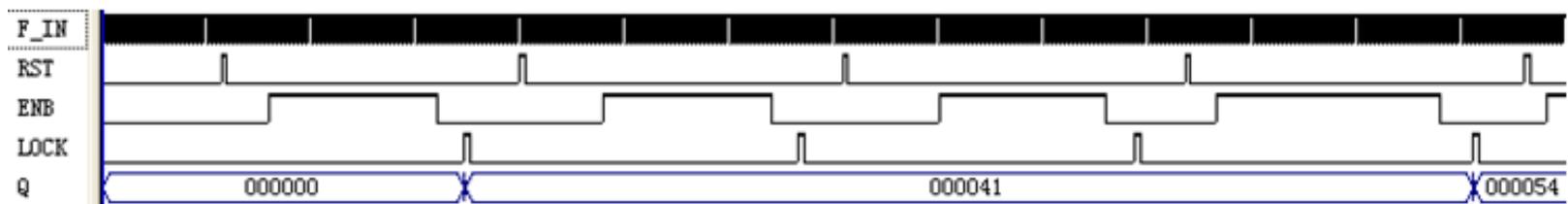


图 2-40 图 2-36 电路的仿真波形图（取 ENB 为相同脉宽）



# 2.6 6位十进制频率计设计

## 2.6.1 时序控制器设计

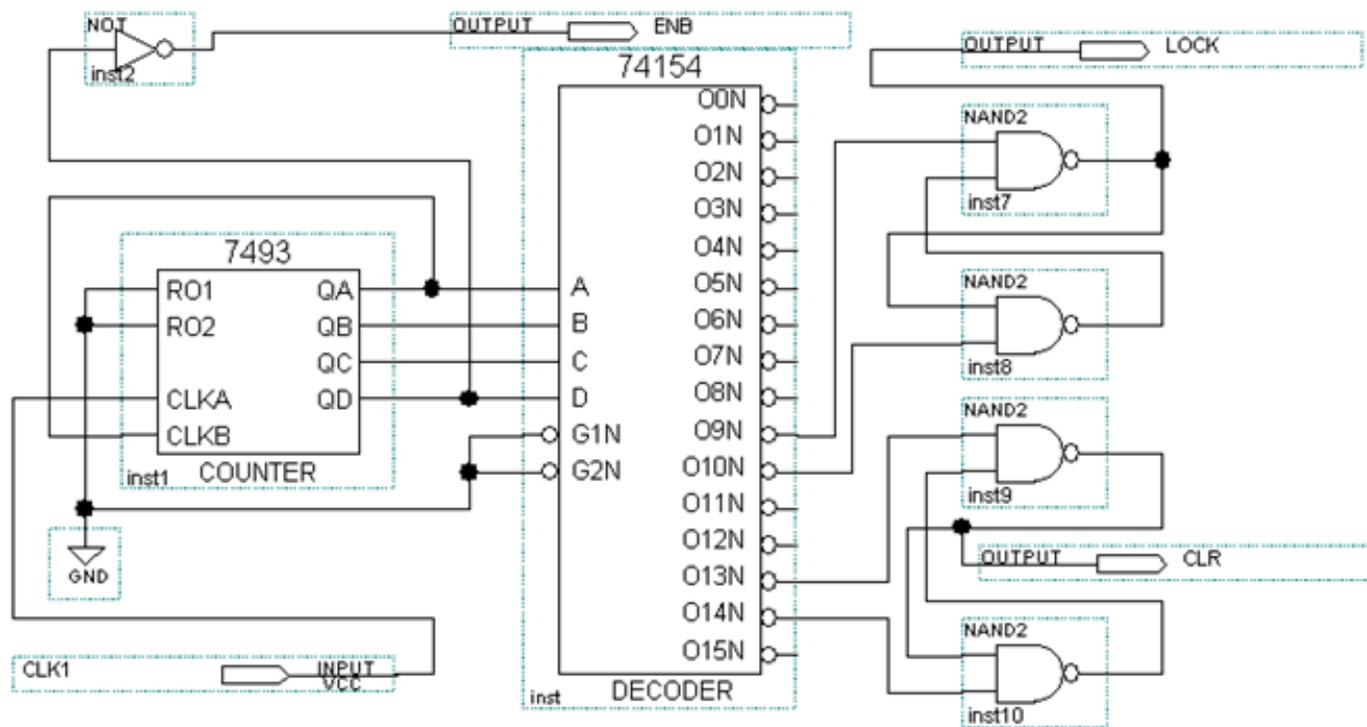


图 2-41 频率计测频时序控制电路



# 2.6 6位十进制频率计设计

## 2.6.1 时序控制器设计

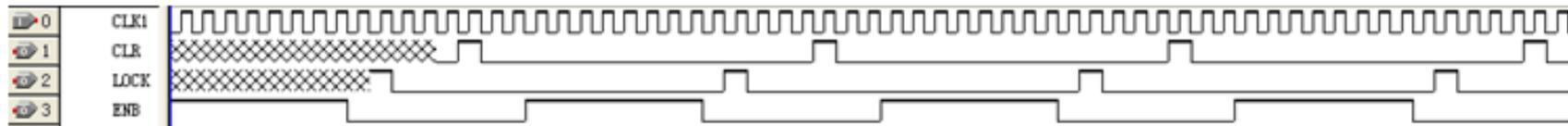


图 2-42 图 2-41 电路的仿真波形



# 2.6 6位十进制频率计设计

## 2.6.2 顶层电路设计与测试

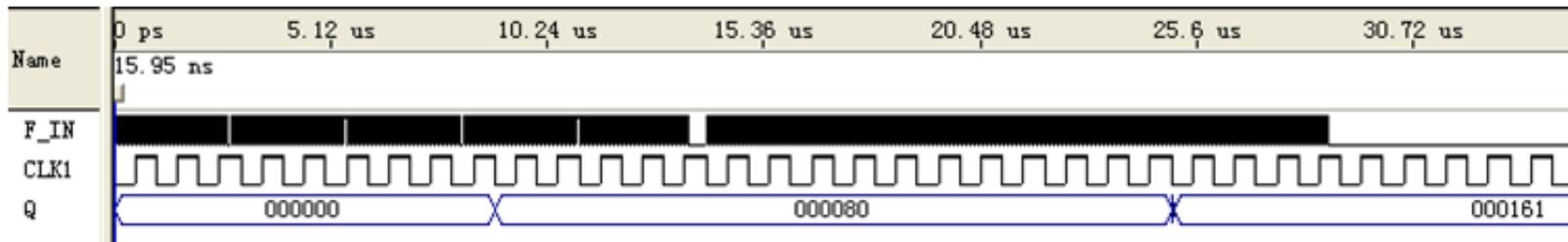


图 2-43 频率计电路图 2-1 的工作时序波形



# 实训项目

## 2-1 用原理图输入法设计8位全加器

表 2-1 半加器 h\_adder 逻辑功能真值表

a	b	so	co
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

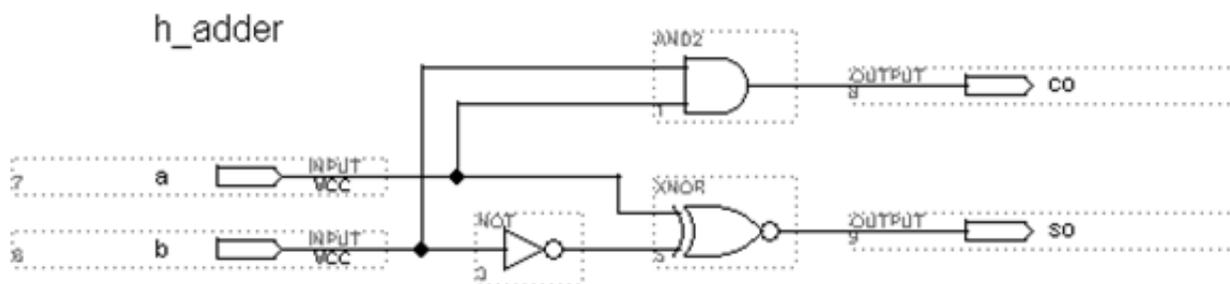


图 2-44 半加器 h\_adder 电路图

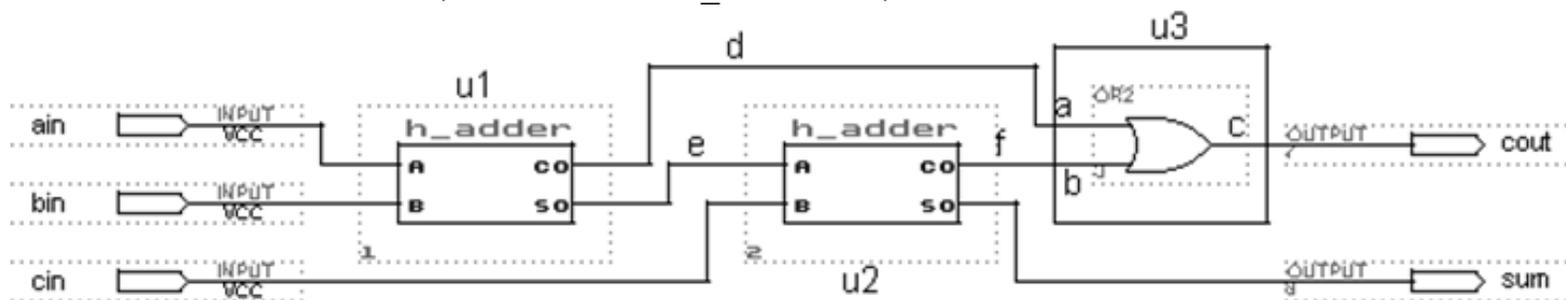


图 2-45 全加器 f\_adder 电路图



# 实训项目

**2-2.** 原理图输入法设计频率计

**2-3** 计时系统设计