

AG16KSDxxx

DATASHEET

CONFIDENTIAL

AGM AG16KSDE176/AG16KSDF256 是由 AGM FPGA AG16K 与 SDRAM 叠封集成的芯片，具有 AG16K FPGA 的可编程功能，提供更多可编程 IO，同时内部连接大容量 SDRAM。

- **FPGA 外部管脚输出**

EQFP176 封装底部 Pad 为 GND，管脚说明请见下表 Table-1:

Table-1 EQFP176 Package

Pin Name	Function
Pin_1	IO
Pin_2	IO
Pin_3	IO
Pin_4	IO
Pin_5	Ground
Pin_6	IO
Pin_7	VDDC Power 1.2V
Pin_8	IO (DATA1, ASD0)
Pin_9	IO (nCS0)
Pin_10	IO
Pin_11	nSTATUS
Pin_12	Ground
Pin_13	IO
Pin_14	IO
Pin_15	DCLK
Pin_16	IO (DATA0)
Pin_17	nCONFIG
Pin_18	TDI
Pin_19	TCK
Pin_20	VDDI01 Power 3.3V

Pin_21	TMS
Pin_22	TD0
Pin_23	CLK1
Pin_24	CLK2
Pin_25	CLK3
Pin_26	I0
Pin_27	I0
Pin_28	VDDI02 Power 3.3V
Pin_29	Ground
Pin_30	VDDC Power 1.2V
Pin_31	I0
Pin_32	I0
Pin_33	I0
Pin_34	I0
Pin_35	I0
Pin_36	I0
Pin_37	I0
Pin_38	I0
Pin_39	I0
Pin_40	I0
Pin_41	Ground
Pin_42	I0
Pin_43	PLL0 analog power 2.5V
Pin_44	PLL0 digital ground
Pin_45	PLL0 digital power 1.2V
Pin_46	I0

Pin_47	I0
Pin_48	I0
Pin_49	I0
Pin_50	I0
Pin_51	Ground
Pin_52	I0
Pin_53	I0
Pin_54	VDDC Power 1.2V
Pin_55	Ground
Pin_56	I0
Pin_57	I0
Pin_58	I0
Pin_59	I0
Pin_60	I0
Pin_61	I0
Pin_62	I0
Pin_63	I0
Pin_64	I0
Pin_65	I0
Pin_66	VDDI03 Power 3.3V
Pin_67	I0
Pin_68	Ground
Pin_69	Ground
Pin_70	I0
Pin_71	VDDC Power 1.2V
Pin_72	I0

Pin_73	Ground
Pin_74	I0
Pin_75	I0
Pin_76	I0
Pin_77	I0
Pin_78	I0
Pin_79	I0
Pin_80	I0
Pin_81	I0
Pin_82	VDDI04 Power 3.3V
Pin_83	I0
Pin_84	Ground
Pin_85	I0
Pin_86	I0
Pin_87	I0
Pin_88	I0
Pin_89	I0
Pin_90	I0
Pin_91	I0
Pin_92	I0
Pin_93	I0
Pin_94	I0
Pin_95	I0
Pin_96	I0
Pin_97	VDDC Power 1.2V
Pin_98	I0

Pin_99	Ground
Pin_100	I0
Pin_101	I0
Pin_102	I0
Pin_103	I0
Pin_104	I0
Pin_105	VDDI05 Power 3.3V
Pin_106	I0
Pin_107	I0
Pin_108	I0
Pin_109	I0
Pin_110	I0
Pin_111	CLK7
Pin_112	CLK6
Pin_113	Ground
Pin_114	CLK5
Pin_115	CLK4
Pin_116	CONF_DONE
Pin_117	Ground
Pin_118	MSEL1
Pin_119	I0
Pin_120	I0
Pin_121	VDDC Power 1.2V
Pin_122	I0
Pin_123	Ground
Pin_124	I0

Pin_125	I0
Pin_126	I0
Pin_127	VDDI06 Power 3.3V
Pin_128	I0
Pin_129	I0
Pin_130	I0
Pin_131	PLL1 analog power 2.5V
Pin_132	PLL1 digital ground
Pin_133	PLL1 digital power 1.2V
Pin_134	I0
Pin_135	I0
Pin_136	I0
Pin_137	I0
Pin_138	Ground
Pin_139	I0
Pin_140	I0
Pin_141	VDDC Power 1.2V
Pin_142	I0
Pin_143	I0
Pin_144	I0
Pin_145	Ground
Pin_146	I0
Pin_147	VDDI07 Power 3.3V
Pin_148	I0
Pin_149	Ground
Pin_150	Ground

Pin_151	I0
Pin_152	I0
Pin_153	I0
Pin_154	I0
Pin_155	Ground
Pin_156	I0
Pin_157	I0
Pin_158	I0
Pin_159	I0
Pin_160	I0
Pin_161	VDDC Power 1.2V
Pin_162	I0
Pin_163	I0
Pin_164	Ground
Pin_165	I0
Pin_166	I0
Pin_167	VDDI08 Power 3.3V
Pin_168	I0
Pin_169	Ground
Pin_170	I0
Pin_171	I0
Pin_172	I0
Pin_173	I0
Pin_174	Ground
Pin_175	I0
Pin_176	I0

FBGA256 封装，管脚说明请见下表 Table-2:

Table-2 FBGA256 Package

Pin Name	Function
PIN_A1	VDDIO
PIN_A2	IO
PIN_A3	IO
PIN_A4	IO
PIN_A5	IO
PIN_A6	IO/DPCLK11
PIN_A7	IO
PIN_A8	CLK10
PIN_A9	IO
PIN_A10	IO
PIN_A11	IO
PIN_A12	NC
PIN_A13	IO
PIN_A14	IO/PLL0UT1
PIN_A15	IO
PIN_A16	VDDIO
PIN_B1	IO/CDPCLK0
PIN_B2	GNDIO
PIN_B3	IO/CDPCLK7
PIN_B4	IO
PIN_B5	IO
PIN_B6	IO

PIN_B7	IO
PIN_B8	IO
PIN_B9	CLK9
PIN_B10	IO
PIN_B11	IO
PIN_B12	NC
PIN_B13	IO
PIN_B14	IO/PLLOUT1
PIN_B15	GNDIO
PIN_B16	IO/DPCLK7
PIN_C1	ASDO
PIN_C2	IO
PIN_C3	IO/PLLOUT2
PIN_C4	VDDIO
PIN_C5	GNDIO
PIN_C6	IO
PIN_C7	VDDIO
PIN_C8	IO/DPCLK10
PIN_C9	IO
PIN_C10	VDDIO
PIN_C11	IO
PIN_C12	GNDIO
PIN_C13	VDDIO
PIN_C14	ADC<8>
PIN_C15	ADC<7>
PIN_C16	ADC<6>

PIN_D1	IO
PIN_D2	NCSO
PIN_D3	IO/PLL0UT2
PIN_D4	VDDD_PLL2
PIN_D5	IO
PIN_D6	IO
PIN_D7	GNDIO
PIN_D8	IO
PIN_D9	IO
PIN_D10	GNDIO
PIN_D11	IO
PIN_D12	IO/CDPCLK6
PIN_D13	VDDD_PLL1
PIN_D14	IO
PIN_D15	IO
PIN_D16	IO
PIN_E1	CLK1
PIN_E2	GNDIO
PIN_E3	VDDIO
PIN_E4	GNDIO
PIN_E5	DGND_PLL2
PIN_E6	IO
PIN_E7	IO
PIN_E8	NC
PIN_E9	IO
PIN_E10	IO

PIN_E11	IO
PIN_E12	DGND_PLL1
PIN_E13	GNDIO
PIN_E14	VDDIO
PIN_E15	CLK4
PIN_E16	CLK5
PIN_F1	IO
PIN_F2	IO
PIN_F3	IO
PIN_F4	nSTATUS
PIN_F5	VDDA_PLL2
PIN_F6	GNDIO
PIN_F7	VDDC
PIN_F8	IO
PIN_F9	IO/DPCLK8
PIN_F10	GNDIO
PIN_F11	VDDC
PIN_F12	VDDA_PLL1
PIN_F13	IO
PIN_F14	IO
PIN_F15	IO
PIN_F16	IO/nCEO
PIN_G1	IO
PIN_G2	IO/DPCLK0
PIN_G3	VDDIO
PIN_G4	GNDIO

PIN_G5	IO
PIN_G6	VDDC
PIN_G7	VDDC
PIN_G8	VDDC
PIN_G9	VDDC
PIN_G10	VDDC
PIN_G11	IO
PIN_G12	IO
PIN_G13	GNDIO
PIN_G14	VDDIO
PIN_G15	IO
PIN_G16	IO
PIN_H1	DCLK
PIN_H2	DATA0
PIN_H3	TCK
PIN_H4	TDI
PIN_H5	nCONFIG
PIN_H6	VDDC
PIN_H7	GNDIO
PIN_H8	GNDIO
PIN_H9	GNDIO
PIN_H10	GNDIO
PIN_H11	VDDC
PIN_H12	MSEL1
PIN_H13	MSEL0
PIN_H14	CONF_DONE

PIN_H15	GNDIO
PIN_H16	GNDIO
PIN_J1	IO
PIN_J2	IO
PIN_J3	CLK0
PIN_J4	TDO
PIN_J5	TMS
PIN_J6	VDDC
PIN_J7	GNDIO
PIN_J8	GNDIO
PIN_J9	GNDIO
PIN_J10	GNDIO
PIN_J11	GNDIO
PIN_J12	IO/DEV_CLRn
PIN_J13	IO
PIN_J14	IO/DEV_OE
PIN_J15	IO/DPCLK6
PIN_J16	IO
PIN_K1	IO
PIN_K2	IO
PIN_K3	VDDIO
PIN_K4	GNDIO
PIN_K5	IO
PIN_K6	IO
PIN_K7	VDDC
PIN_K8	GNDIO

PIN_K9	IO
PIN_K10	IO
PIN_K11	VDDC
PIN_K12	IO
PIN_K13	GNDIO
PIN_K14	VDDIO
PIN_K15	IO
PIN_K16	IO
PIN_L1	IO
PIN_L2	IO/DPCLK1
PIN_L3	IO
PIN_L4	IO
PIN_L5	VDDA_PLL0
PIN_L6	IO
PIN_L7	IO
PIN_L8	IO
PIN_L9	IO
PIN_L10	IO
PIN_L11	NC
PIN_L12	VDDA_PLL3
PIN_L13	IO
PIN_L14	IO
PIN_L15	IO
PIN_L16	IO
PIN_M1	IO
PIN_M2	CLK2

PIN_M3	VDDIO
PIN_M4	GNDIO
PIN_M5	DGND_PLL0
PIN_M6	IO
PIN_M7	IO/DPCLK2
PIN_M8	IO
PIN_M9	NC
PIN_M10	IO
PIN_M11	NC
PIN_M12	DGND_PLL3
PIN_M13	GNDIO
PIN_M14	VDDIO
PIN_M15	IO
PIN_M16	IO
PIN_N1	IO
PIN_N2	IO
PIN_N3	IO
PIN_N4	VDDD_PLL0
PIN_N5	NC
PIN_N6	IO
PIN_N7	GNDIO
PIN_N8	IO
PIN_N9	NC
PIN_N10	GNDIO
PIN_N11	IO
PIN_N12	IO

PIN_N13	VDDD_PLL3
PIN_N14	IO
PIN_N15	IO
PIN_N16	IO
PIN_P1	IO
PIN_P2	IO
PIN_P3	IO
PIN_P4	VDDIO
PIN_P5	GNDIO
PIN_P6	IO
PIN_P7	VDDIO
PIN_P8	IO
PIN_P9	IO/DPCLK5
PIN_P10	VDDIO
PIN_P11	IO
PIN_P12	GNDIO
PIN_P13	VDDIO
PIN_P14	IO/PLL0UT3
PIN_P15	IO
PIN_P16	IO/CDPCLK4
PIN_R1	IO/CDPCLK1
PIN_R2	GNDIO
PIN_R3	IO
PIN_R4	IO/PLL0UT0
PIN_R5	IO
PIN_R6	NC

PIN_R7	IO/DPCLK3
PIN_R8	CLK15
PIN_R9	CLK13
PIN_R10	IO
PIN_R11	NC
PIN_R12	IO
PIN_R13	IO
PIN_R14	IO/PLL0UT3
PIN_R15	GNDIO
PIN_R16	IO
PIN_T1	VDDIO
PIN_T2	NC
PIN_T3	IO
PIN_T4	IO/PLL0UT0
PIN_T5	IO
PIN_T6	IO
PIN_T7	IO
PIN_T8	CLK14
PIN_T9	CLK12
PIN_T10	IO/DPCLK4
PIN_T11	NC
PIN_T12	IO
PIN_T13	IO
PIN_T14	NC
PIN_T15	IO
PIN_T16	VDDIO

● **SDRAM 说明**

内部 SDRAM 为 64Mbit (512K words × 4 banks × 32 bits) 容量。由于 SDRAM 为 3.3V 器件，FPGA 的 VCCIO 都需接 3.3V。

FPGA 的 IO 与 SDRAM 的内部连接，请见下表：

Bank	SDRAM Finger	FPGA Pin Name	Function
B3	/CAS	SDRAM_CAS	I/O
B4	/CS	SDRAM_CS	I/O
B3	/RAS	SDRAM_RAS	I/O
B3	/WE	SDRAM_WE	I/O
B7	A0	SDRAM_A0	I/O
B7	A1	SDRAM_A1	I/O
B7	A2	SDRAM_A2	I/O
B7	A3	SDRAM_A3	I/O
B4	A4	SDRAM_A4	I/O
B4	A5	SDRAM_A5	I/O
B4	A6	SDRAM_A6	I/O
B4	A7	SDRAM_A7	I/O
B4	A8	SDRAM_A8	I/O
B4	A9	SDRAM_A9	I/O
B7	A10	SDRAM_A10	I/O
B7	BA0	SDRAM_BA0	I/O
B8	BA1	SDRAM_BA1	I/O
B3	CKE	SDRAM_CKE	I/O
B8	CLK	SDRAM_CLK	I/O

B2	DQ0	SDRAM_DQ0	I0
B2	DQ1	SDRAM_DQ1	I0
B2	DQ2	SDRAM_DQ2	I0
B2	DQ3	SDRAM_DQ3	I0
B2	DQ4	SDRAM_DQ4	I0
B3	DQ5	SDRAM_DQ5	I0
B3	DQ6	SDRAM_DQ6	I0
B3	DQ7	SDRAM_DQ7	I0
B8	DQ8	SDRAM_DQ8	I0
B8	DQ9	SDRAM_DQ9	I0
B8	DQ10	SDRAM_DQ10	I0
B8	DQ11	SDRAM_DQ11	I0
B8	DQ12	SDRAM_DQ12	I0
B8	DQ13	SDRAM_DQ13	I0
B1	DQ14	SDRAM_DQ14	I0
B1	DQ15	SDRAM_DQ15	I0
B5	DQ16	SDRAM_DQ16	I0
B5	DQ17	SDRAM_DQ17	I0
B5	DQ18	SDRAM_DQ18	I0
B5	DQ19	SDRAM_DQ19	I0
B4	DQ20	SDRAM_DQ20	I0
B4	DQ21	SDRAM_DQ21	I0
B4	DQ22	SDRAM_DQ22	I0
B4	DQ23	SDRAM_DQ23	I0

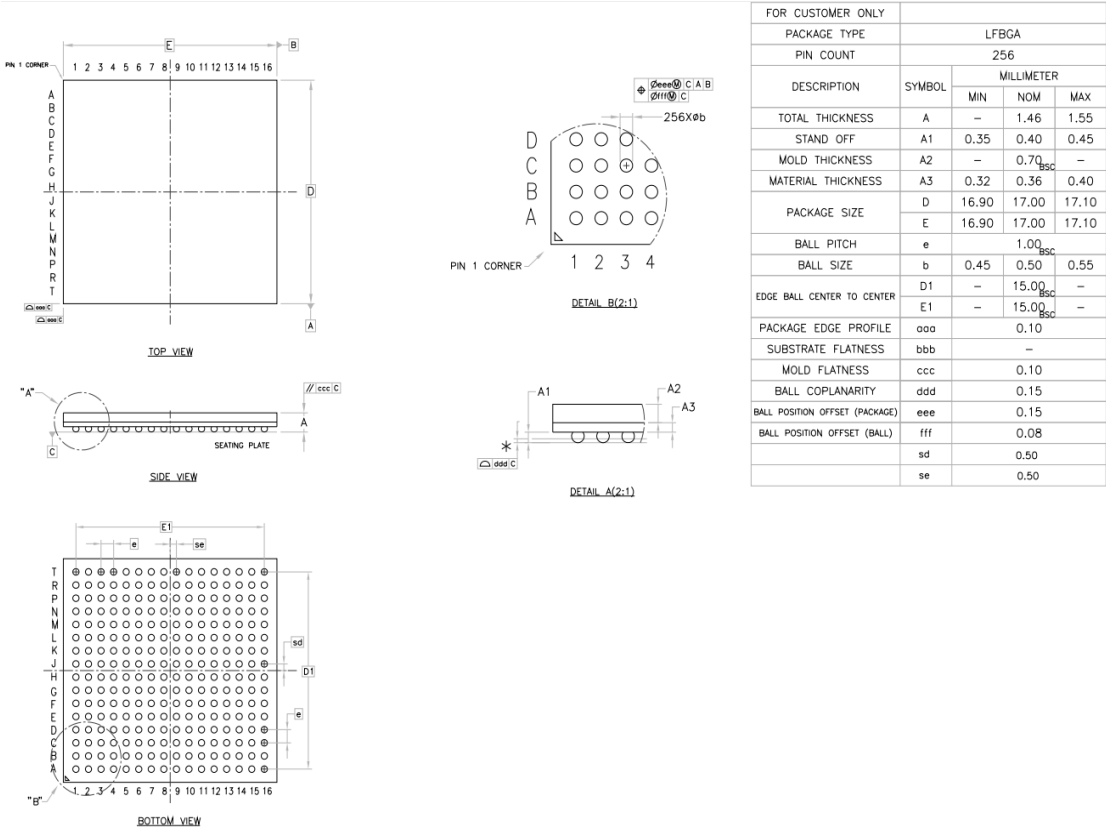
B7	DQ24	SDRAM_DQ24	I0
B7	DQ25	SDRAM_DQ25	I0
B7	DQ26	SDRAM_DQ26	I0
B7	DQ27	SDRAM_DQ27	I0
B7	DQ28	SDRAM_DQ28	I0
B7	DQ29	SDRAM_DQ29	I0
B6	DQ30	SDRAM_DQ30	I0
B6	DQ31	SDRAM_DQ31	I0
B3	DQM0	SDRAM_DQM0	I0
B8	DQM1	SDRAM_DQM1	I0
B4	DQM2	SDRAM_DQM2	I0
B7	DQM3	SDRAM_DQM3	I0

● 配置说明

AG16K 配置方式支持 JTAG，AS（Master），Fast AS（Master）和 PS（Slave）方式，可通过 MSEL[2:0]选择，其中 AG16KSDE176 的 MSEL[2]和 MSEL[0]在封装内接到 GND，AG16KSDF256 的 MSEL[2]在封装内接到 GND，MSEL[0]需封装外管脚接到 GND，仅需参考外部管脚 MSEL1 下表设置，选择不同配置模式。AS 方式也是通过 JTAG 口直接烧写配置 FLASH。

配置方式	MSEL[1]
AS	1
PS	0
JTAG	0/1

FBGA-256



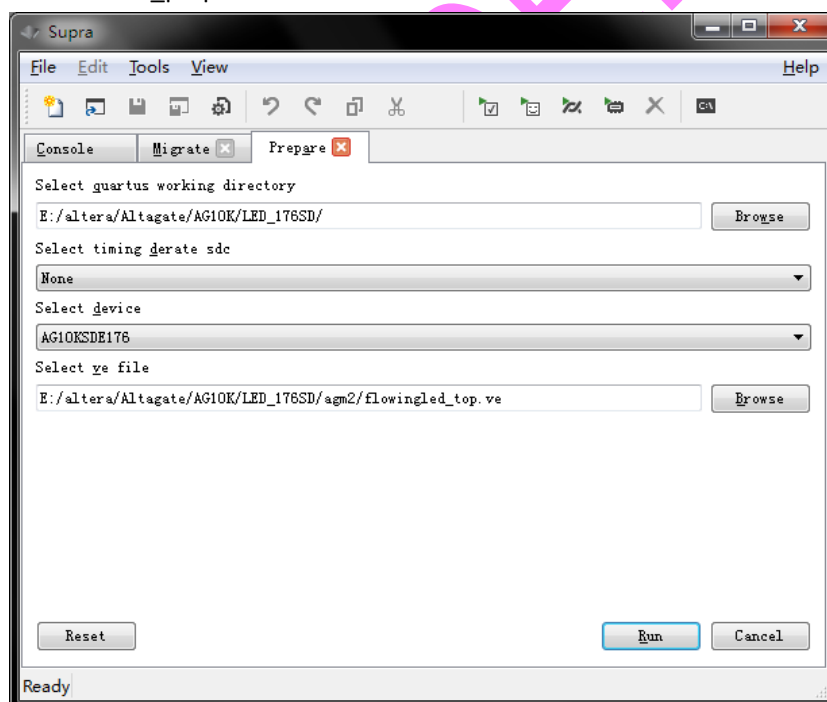
- 软件开发流程

用 Quartus 基于 Cyclone IV EP4CE15F23 为基础完成原始设计。管脚位置分配可先忽略。建一新目录作为 AG16K 的项目目录。

新建一个文本格式的管脚分配文件，命名为<design>.ve。编辑 ve 文件加入 FPGA 的 IO 位置设置。管脚名称请参考前面的管脚说明表格，ve 文件格式如下（管脚设计名称+空格+封装管脚名称）：

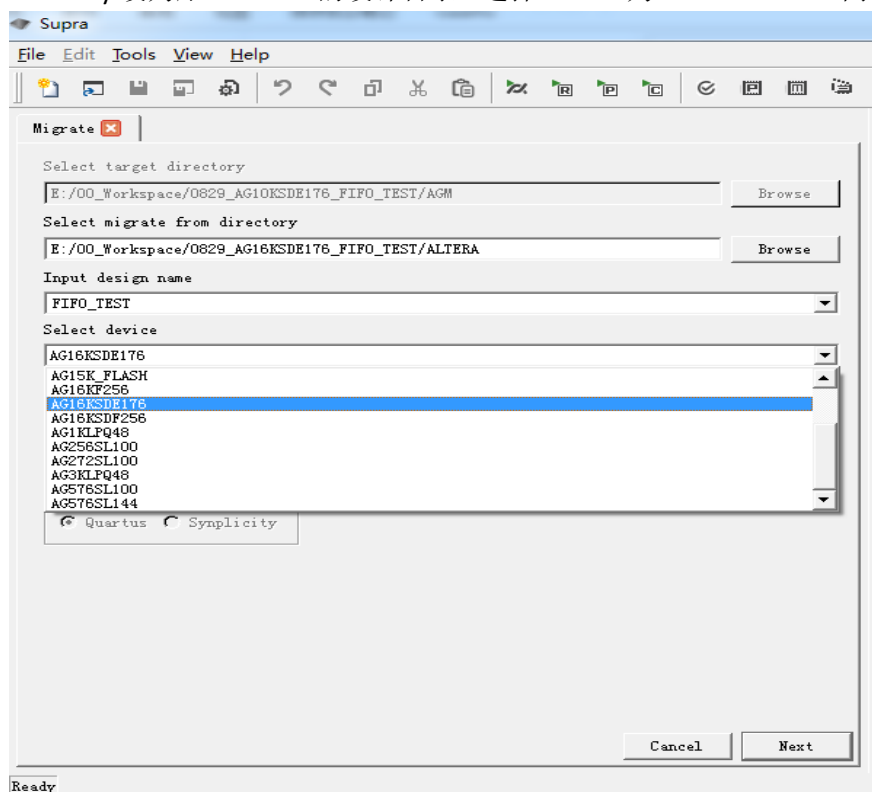
```
rst      PIN_89
clk      PIN_23
led[0]   PIN_157
led[1]   PIN_158
.....
my_SDRAM_CS   SDRAM_CS
my_SDRAM_CLK  SDRAM_CLK
my_SDRAM_A0   SDRAM_A0
.....
```

打开 AGM Supra 软件，新建工程，选择对应器件型号。执行 Tools-Prepare，选择原 Quartus II 项目目录，Device 选 AG16KSDxxxx，并选择编辑好的 ve 文件后，点击 Run。正确运行后会生成 af_prepare.tcl 等文件。

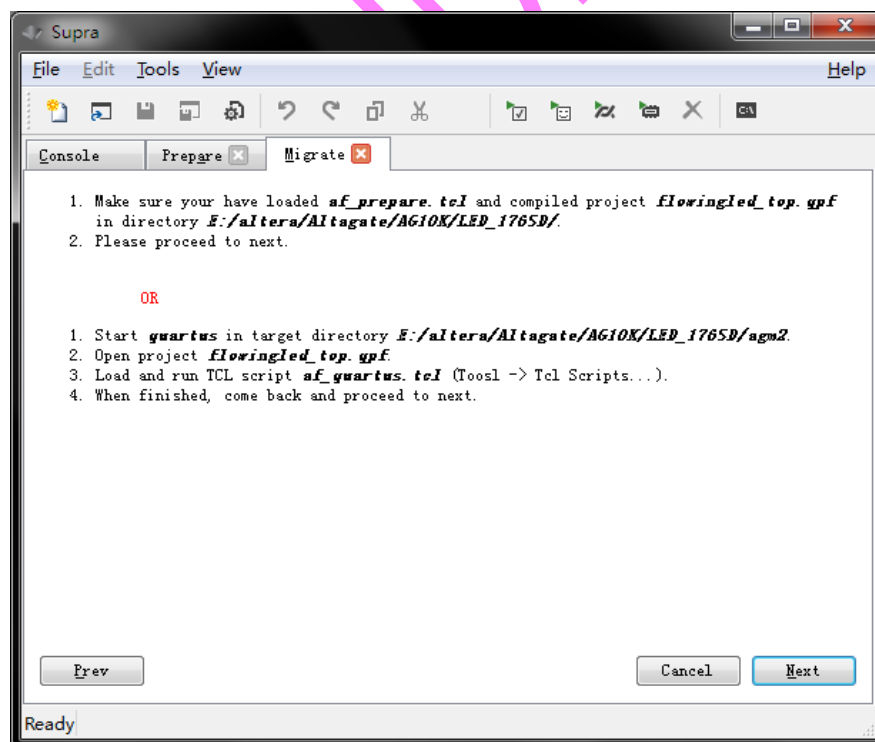


打开 Quartus 项目，通过 Tools-Tcl Scripts 运行 af_prepare.tcl 脚本文件，会把 ve 的内容导入到 EP4CE15 对应的管脚分配，并继续执行编译过程，在项目目录中生成 Simulation 目录以及综合后的 vo 等文件。

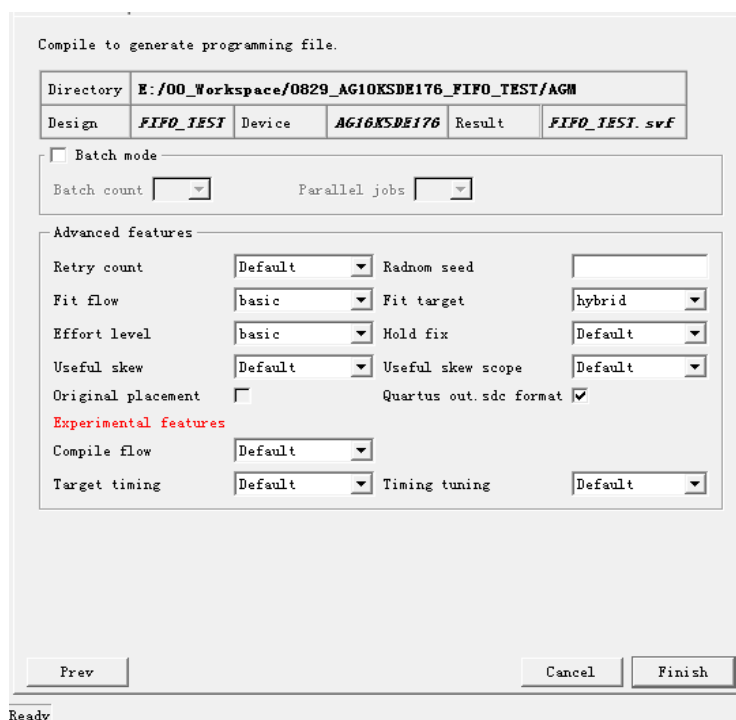
打开 AGM Supra 软件, 执行 Tools-Migrate。Target directory 设为 AG16K 的项目目录, From directory 设为原 EP4CE15 的设计目录。选择 Device 为 AG16KSDxxxx, 同样选择 ve 文件。



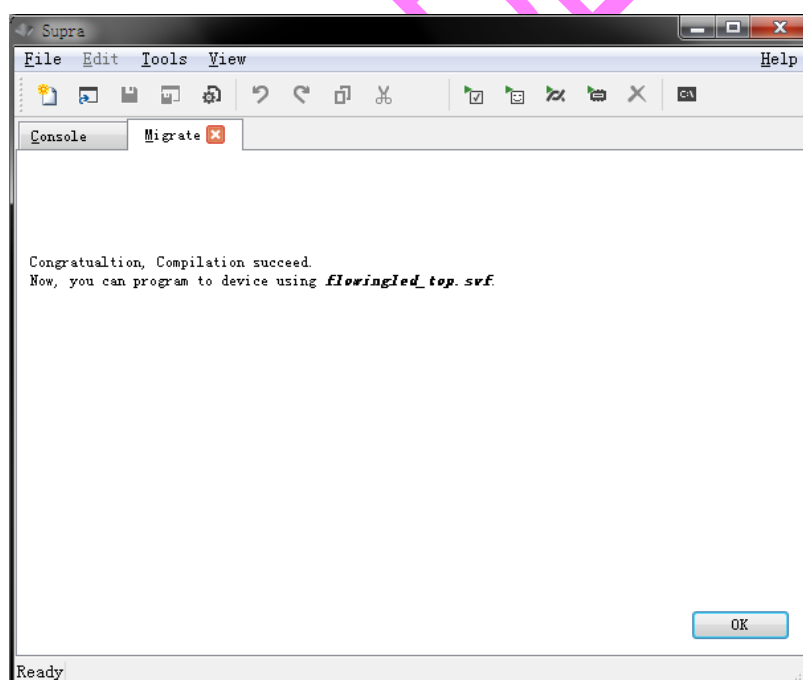
点击 Next, 参考页面说明 OR 上面的部分, 即直接点击 Next。



下面界面中可设置些编译参数，或采用默认设置即可。



点击 Finish，进入编译过程，在 Console 界面可查看编译信息，成功后显示下面信息，并生成配置烧写文件。



如需修改原设计，由于 af_prepare.tcl 已把设置改好，在 Quartus 中直接编译即可。然后在 Supra 中执行 Compile 进行编译。

- **器件烧写**

Supra 软件中，选择菜单：Tools-Program。选择需烧写的 SVF 或 PRG 文件，采用默认下载线类型 USB-Blaster。

点击“Program”按钮，开始通过 JTAG 烧写 PCB 上 AG16K 或 FLASH 器件。

- **烧写文件类型：**

<design>_SRAM. prg 文件为片内 SRAM 写入，通过 JTAG 烧写，掉电即失效，可用于设计调试；

<design>_master.prg 文件为 Master（AS）配置方式下，通过 JTAG 烧写 FLASH 的文件；

<design>_master.bin 为 Master（AS）配置方式下，Flash 的通用烧写文件；

<design>.bin 或 rbf 文件为 Slave（PS）配置方式所需文件，rbf 文件的字节高低位反向。

CONFIDENTIAL