

AGRV2K 应用指南

● AGRV2KL100 Pin-Out

Finger No.	Pin name	Finger No.	Pin name	Finger No.	Pin name	Finger No.	Pin name
1	IO/PIN_1	26	IO/PIN_26	51	IO/PIN_51	76	TCK
2	IO/PIN_2	27	GND	52	IO/PIN_52	77	IO/PIN_77
3	IO/PIN_3	28	VDD33	53	IO/PIN_53	78	IO/PIN_78
4	IO/PIN_4	29	IO/PIN_29	54	IO/PIN_54	79	IO/PIN_79
5	IO/PIN_5	30	IO/PIN_30	55	IO/PIN_55	80	IO/PIN_80
6	VDD33	31	IO/PIN_31	56	IO/PIN_56	81	IO/PIN_81
7	IO_GB/PIN_7	32	IO/PIN_32	57	IO/PIN_57	82	IO/PIN_82
8	NC	33	IO/PIN_33	58	IO/PIN_58	83	IO/PIN_83
9	NC	34	IO/PIN_34	59	IO/PIN_59	84	IO/PIN_84
10	GND	35	IO/PIN_35	60	IO/PIN_60	85	IO/PIN_85
11	VDD33	36	IO/PIN_36	61	IO/PIN_61	86	IO/PIN_86
12	NC	37	IO/PIN_37	62	IO/PIN_62	87	IO/PIN_87
13	NC	38	IO/PIN_38	63	IO/PIN_63	88	IO/PIN_88
14	NRST	39	IO/PIN_39	64	IO/PIN_64	89	IO/PIN_89
15	IO_GB/PIN_15	40	IO/PIN_40	65	IO/PIN_65	90	IO/PIN_90
16	IO/PIN_16	41	IO/PIN_41	66	IO/PIN_66	91	IO/PIN_91
17	IO/PIN_17	42	IO/PIN_42	67	IO/PIN_67	92	IO/PIN_92
18	IO/PIN_18	43	IO/PIN_43	68	IO/PIN_68	93	IO/PIN_93
19	NC	44	IO/PIN_44	69	IO/PIN_69	94	GND
20	GND	45	IO/PIN_45	70	IO/PIN_70	95	IO/PIN_95
21	VDDA33	46	IO/PIN_46	71	IO/PIN_71	96	IO/PIN_96
22	VDDA33	47	IO/PIN_47	72	TMS	97	IO/PIN_97
23	IO/PIN_23	48	IO/PIN_48	73	NC	98	IO/PIN_98
24	IO/PIN_24	49	NC	74	GND	99	GND
25	IO/PIN_25	50	VDD33	75	VDD33	100	VDD33

可用 IO 总数：76 个。

● AGRV2KL64 Pin-Out

Finger No.	Pin name	Finger No.	Pin name	Finger No.	Pin name	Finger No.	Pin name
1	VDD33	17	IO/PIN_17	33	IO/PIN_33	49	TCK
2	IO_GB/PIN_2	18	GND	34	IO/PIN_34	50	IO/PIN_50
3	NC	19	VDD33	35	IO/PIN_35	51	IO/PIN_51
4	NC	20	IO/PIN_20	36	IO/PIN_36	52	IO/PIN_52
5	NC	21	IO/PIN_21	37	IO/PIN_37	53	IO/PIN_53
6	NC	22	IO/PIN_22	38	IO/PIN_38	54	IO/PIN_54
7	NRST	23	IO/PIN_23	39	IO/PIN_39	55	IO/PIN_55
8	IO_GB/PIN_8	24	IO/PIN_24	40	IO/PIN_40	56	IO/PIN_56
9	IO/PIN_9	25	IO/PIN_25	41	IO/PIN_41	57	IO/PIN_57
10	IO/PIN_10	26	IO/PIN_26	42	IO/PIN_42	58	IO/PIN_58
11	IO/PIN_11	27	IO/PIN_27	43	IO/PIN_43	59	IO/PIN_59
12	GND	28	IO/PIN_28	44	IO/PIN_44	60	GND
13	VDDA33	29	IO/PIN_29	45	IO/PIN_45	61	IO/PIN_61
14	IO/PIN_14	30	IO/PIN_30	46	TMS	62	IO/PIN_62
15	IO/PIN_15	31	IO/PIN_31	47	IO/PIN_47	63	GND
16	IO/PIN_16	32	VDD33	48	VDD33	64	VDD33

可用 IO 总数：47 个。

● AGRV2KL48 Pin-Out

Finger No	Pin name	Finger No	Pin name
1	VDD33	25	IO/PIN_25
2	IO_GB/PIN_2	26	IO/PIN_26
3	NC	27	IO/PIN_27
4	NC	28	IO/PIN_28
5	NC	29	IO/PIN_29
6	NC	30	IO/PIN_30
7	NRST	31	IO/PIN_31
8	GND	32	IO/PIN_32
9	VDD33	33	IO/PIN_33
10	IO/PIN_10	34	TMS
11	IO/PIN_11	35	IO/PIN_35
12	IO/PIN_12	36	VDD33
13	IO/PIN_13	37	TCK
14	IO/PIN_14	38	IO/PIN_38
15	IO/PIN_15	39	IO/PIN_39
16	IO/PIN_16	40	IO/PIN_40
17	IO/PIN_17	41	IO/PIN_41
18	IO/PIN_18	42	IO/PIN_42
19	IO/PIN_19	43	IO/PIN_43
20	IO/PIN_20	44	GND
21	IO/PIN_21	45	IO/PIN_45
22	IO/PIN_22	46	IO/PIN_46
23	GND	47	GND
24	VDD33	48	VDD33

可用 IO 总数：32 个。

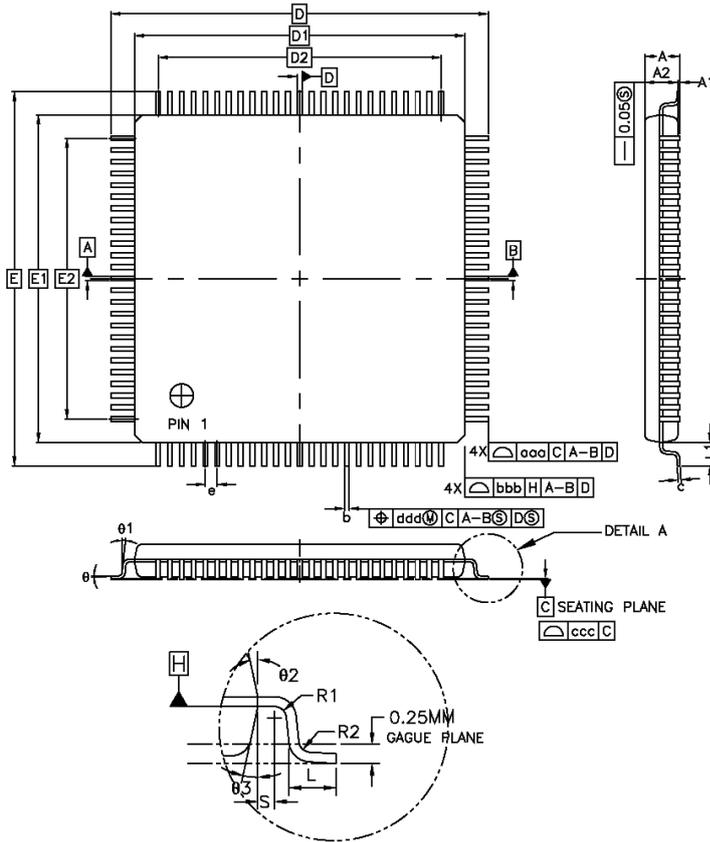
● AGRV2KQ32 Pin-Out

Finger No	Pin name	Finger No	Pin name
1	IO_GB/PIN_1	17	GND
2	IO/PIN_2	18	IO/PIN_18
3	IO/PIN_3	19	IO/PIN_19
4	NRST	20	IO/PIN_20
5	IO/PIN_5	21	IO/PIN_21
6	VDDA33	22	IO/PIN_22
7	IO/PIN_7	23	IO/PIN_23
8	IO/PIN_8	24	JTMS
9	IO/PIN_9	25	JTCK
10	IO/PIN_10	26	IO/PIN_26
11	IO/PIN_11	27	IO/PIN_27
12	IO/PIN_12	28	IO/PIN_28
13	IO/PIN_13	29	IO/PIN_29
14	IO/PIN_14	30	GND
15	IO/PIN_15	31	IO/PIN_31
16	VDD33	32	VDD33

可用 IO 总数：24 个。

● AGRV2K 封装图

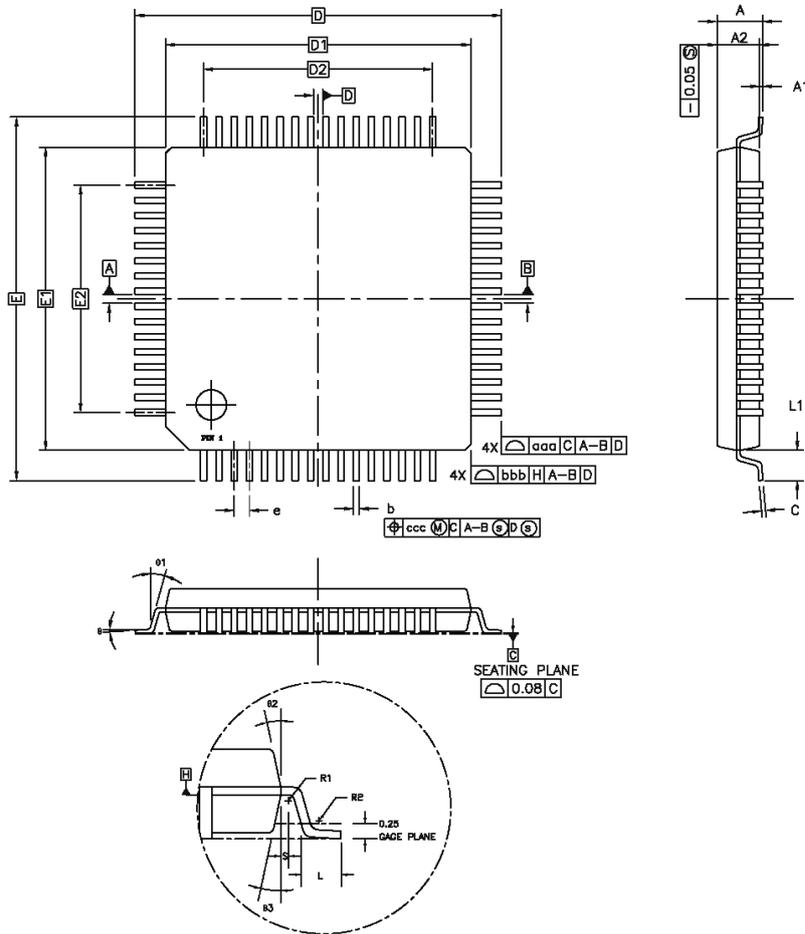
AGRV2KL100: LQFP-100 封装



FOR CUSTOMER ONLY		NA		
PACKAGE TYPE	LQFP			
DESCRIPTION	SYMBOL	MILLIMETER		
		MIN	NOM	MAX
TOTAL THICKNESS	A	-	-	1.60
STAND OFF	A1	0.05	-	0.15
TOTAL MOLD THICKNESS	A2	1.35	1.40	1.45
PACKAGE SIZE WITH LEAD	D	-	16.00 BSC	-
	E	-	16.00 BSC	-
PACKAGE SIZE	D1	-	14.00 BSC	-
	E1	-	14.00 BSC	-
EP SIZE	D3	-	-	-
	E3	-	-	-
LEAD TURN RADIUS	R1	0.08	-	-
LEAD TURN RADIUS	R2	0.08	-	0.20
LEAD TURN ANGLE	θ	0°	3.5°	7°
LEAD TURN ANGLE	θ1	0°	-	-
LEAD TURN ANGLE	θ2	11°	12°	13°
LEAD TURN ANGLE	θ3	11°	12°	13°
LEAD CONTACT LENGTH	L	0.45	0.60	0.75
LEAD LENGTH	L1	-	1.00 REF	-
MATERIAL THICKNESS	c	0.09	-	0.20
LEAD SPAN LENGTH	S	0.20	-	-

PIN COUNT		100		
DESCRIPTION	SYMBOL	MILLIMETER		
		MIN	NOM	MAX
LEAD PITCH	e	0.50 BSC.		
LEAD WIDTH	b	0.17	0.20	0.27
LEAD EDGE PROFILE	aaa	0.20		
PACKAGE EDGE PROFILE	bbb	0.20		
LEAD COPLANARITY	ccc	0.08		
LEAD POSITION OFFSET	ddd	0.08		

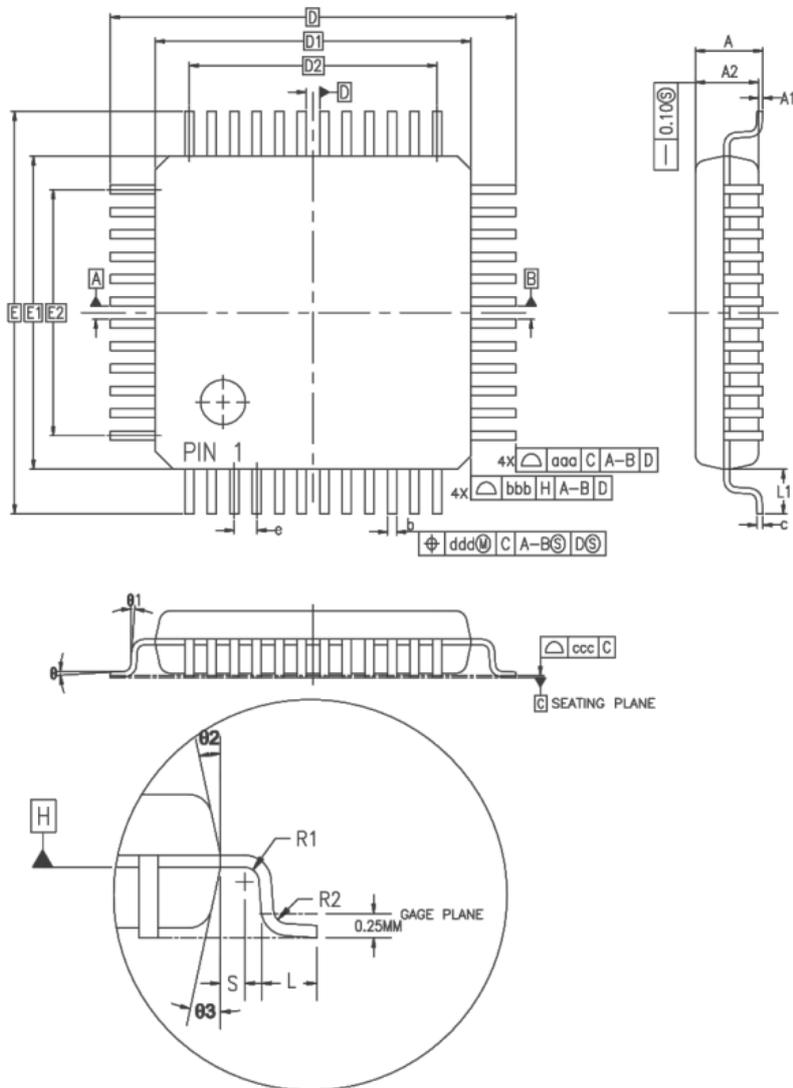
AGRV2KL64: LQFP-64 封装



COTROL DIMENSIONS ARE IN MILLIMETERS.

SYMBOL	MILLIMETER			INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	—	—	1.60	—	—	0.063
A1	0.05	—	0.15	0.002	—	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
D	12.00 BSC.			0.472 BSC.		
D1	10.00 BSC.			0.394 BSC.		
E	12.00 BSC.			0.472 BSC.		
E1	10.00 BSC.			0.394 BSC.		
R2	0.08	—	0.20	0.003	—	0.008
R1	0.08	—	—	0.003	—	—
θ	0°	3.5°	7°	0°	3.5°	7°
θ ₁	0°	—	—	0°	—	—
θ ₂	11°	12°	13°	11°	12°	13°
θ ₃	11°	12°	13°	11°	12°	13°
c	0.09	—	0.20	0.004	—	0.008
L	0.45	0.60	0.75	0.018	0.024	0.030
L ₁	1.00 REF			0.039 REF		
S	0.20	—	—	0.008	—	—
b	0.17	0.20	0.27	0.007	0.008	0.011
e	0.50 BSC.			0.020 BSC.		
D2	7.50 REF			0.295		
E2	7.50 REF			0.295		
aaa	0.20			0.008		
bbb	0.20			0.008		
ccc	0.08			0.003		

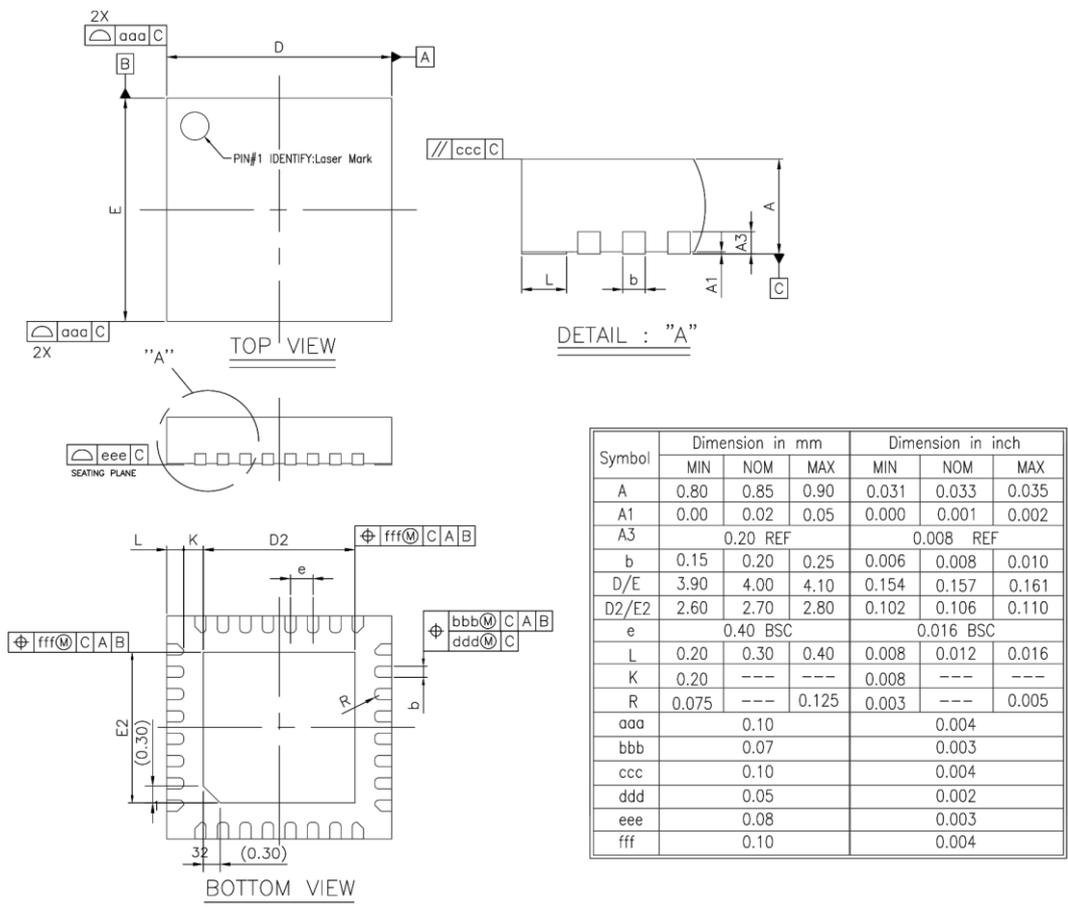
AGRV2KL48: LQFP-48 封装



COTROL DIMENSIONS ARE IN MILLIMETERS.

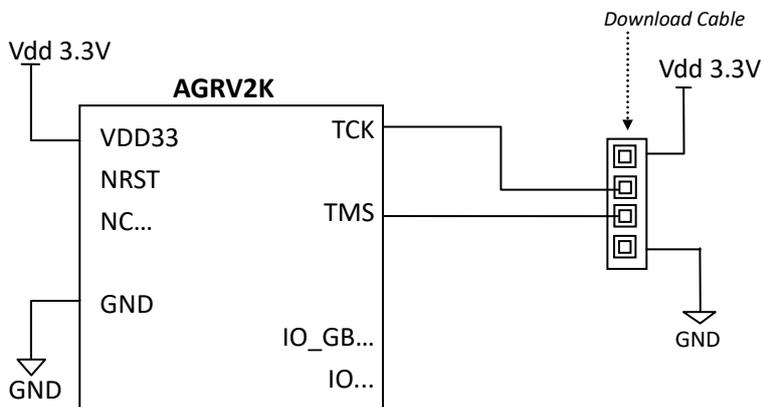
SYMBOL	MILLIMETER			INCH		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	—	—	1.60	—	—	0.063
A1	0.05	—	0.15	0.002	—	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
D	9.00 BSC.			0.354 BSC.		
D1	7.00 BSC.			0.276 BSC.		
E	9.00 BSC.			0.354 BSC.		
E1	7.00 BSC.			0.276 BSC.		
R2	0.08	—	0.20	0.003	—	0.008
R1	0.08	—	—	0.003	—	—
θ	0°	3.5°	7°	0°	3.5°	7°
θ_1	0°	—	—	0°	—	—
θ_2	11°	12°	13°	11°	12°	13°
θ_3	11°	12°	13°	11°	12°	13°
c	0.09	—	0.20	0.004	—	0.008
L	0.45	0.60	0.75	0.018	0.024	0.030
L1	1.00 REF.			0.039 REF.		
S	0.20	—	—	0.008	—	—
b	0.17	0.20	0.27	0.007	0.008	0.011
e	0.50 BSC.			0.020 BSC.		
D2	5.50			0.217		
E2	5.50			0.217		
TOLERANCES OF FORM AND POSITION						
aaa	0.20			0.008		
bbb	0.20			0.008		
ccc	0.08			0.003		
ddd	0.08			0.003		

AGRV2KQ32: QFN-32 封装



- 电源与配置电路

AGRV2K 需 3.3V Vcc 供电, 通过 Compact-JTAG 两线(TCK/TMS)方式进行烧写, 使用 J-LINK 下载器或 AGM Blaster 专用下载器 (CMSIS-DAP 模式), 请参考下图:



NC 为悬空脚, 请勿接任何电源或信号。

NRST 为软复位管脚, 低有效。由于 NRST 为内部上拉, 如不需要外部复位控制, 也可以作为 NC 悬空, 上电后会自动复位。

● 软件开发流程

1.) 软件安装:

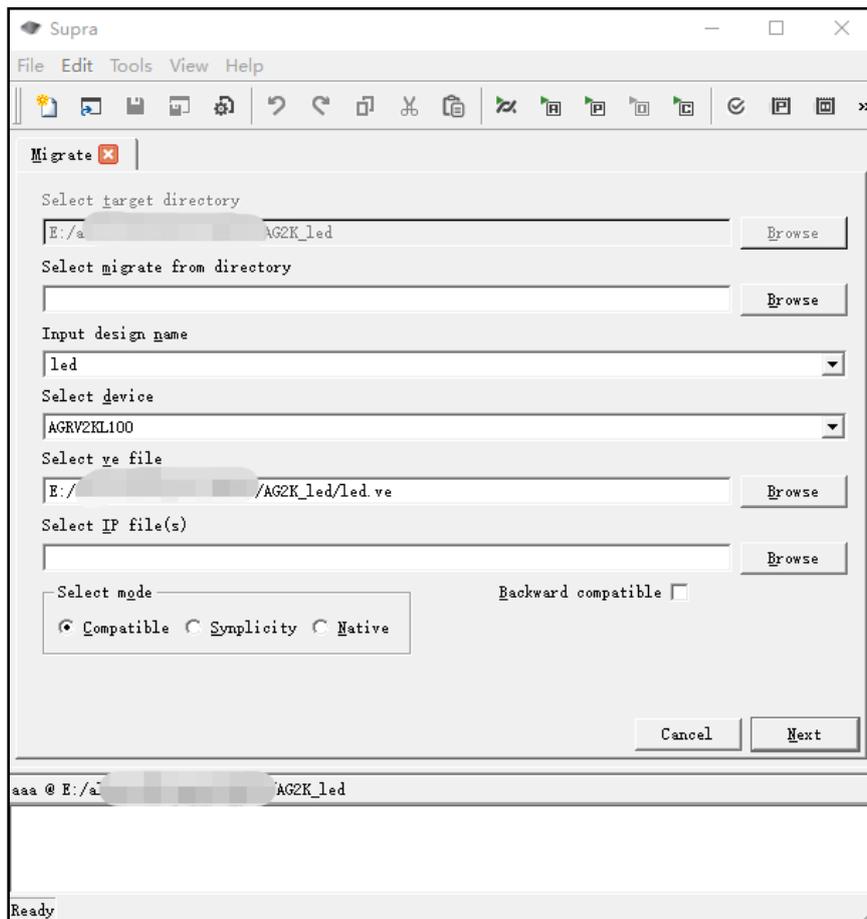
解压缩或执行安装文件，安装 Supra 软件。安装目录不能有中文或空格。执行文件为 bin 目录中的 Supra.exe。

运行 Supra，选择菜单 File -> Import license，选择 license 目录中的 licence.txt 文件并导入。

2.) 新建项目:

新建一工程目录。打开 Supra，在该目录中新建 project，设置项目目录和名称。

进入 Tools -> Migrate:



Target Directory 默认为新建的工程目录，Migrate from directory 不填，输入设计名称（这里范例名称为 led），Device 选 AGRV2K 系列型号。选择 ve 文件（管脚分配文件）。IP 文件不用填。

选择对应开发 Mode: Native 选项（AGM 自有 EDA 综合工具），Synplicity 选项（第三方综合工具，例如 Synplify, Mentor 等），Compatible 选项（兼容 Altera Quartus II 的综合工具）。

下面主要介绍 Supra 基于 Quartus II 综合的设计流程，其它工具设计流程类似。

Mode 选择 Compatible，点 next，自动产生一个以 led 命名的 Quartus II 项目，以及空的设计文件（qpf, v, qsf, sdc 等）。

ve 文件为 IO 管脚位置设置，可通过任意文本编辑器自行编辑产生。管脚名称请参考前面的管脚说明表格（PIN_1, PIN_2 格式），全局时钟信号或 PLL 输入时钟要选 IO_GB 管脚。

ve 文件格式如下（管脚设计名称+空格+封装管脚名称，#为注释符）：

```
clk    PIN_7    # 输入时钟, IO_GB
rst    PIN_15
led[0] PIN_16
led[1] PIN_17
.....
```

3.) 项目设计:

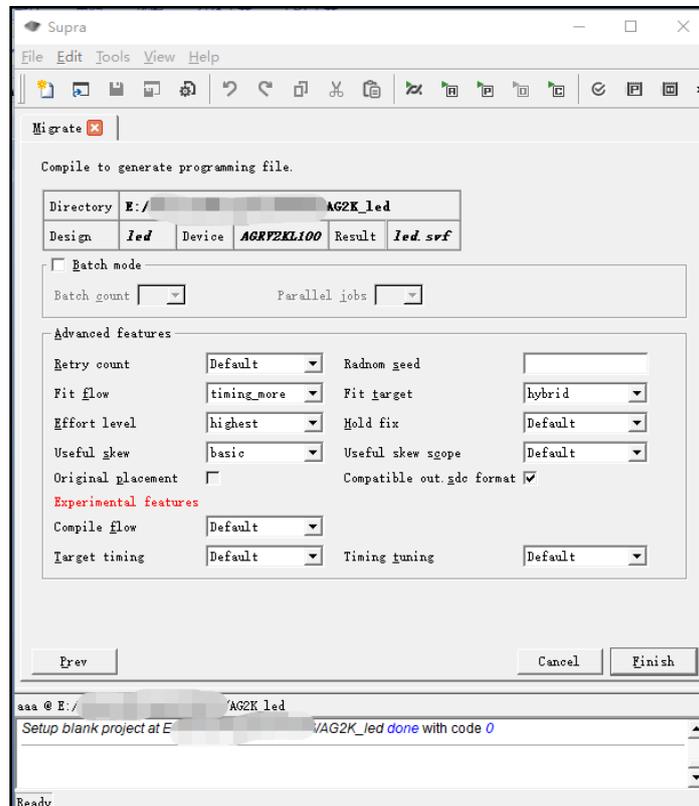
工程目录中，用 Quartus II 打开 led.qpf 项目文件，工程已设置好，不要修改型号。默认为 EP4CE75，如果 Quartus II 没有这个器件，需要先安装 Cyclone IV 系列器件库。

空的项目中加入你的设计文件.v，或添加其它类型设计文件，Quartus 支持的都可以使用。无需设置管脚位置。

设计完成后，Quartus II 中选择菜单中 Tools -> Tcl Scripts...，窗口中选 af_quartus.tcl，点击 Run 进行编译，编译综合后产生所需网表文件（simulation/modelsim/led.vo）。

4.) 项目编译:

Supra 里继续执行 Next，开始进行编译。编译选项，默认即可。

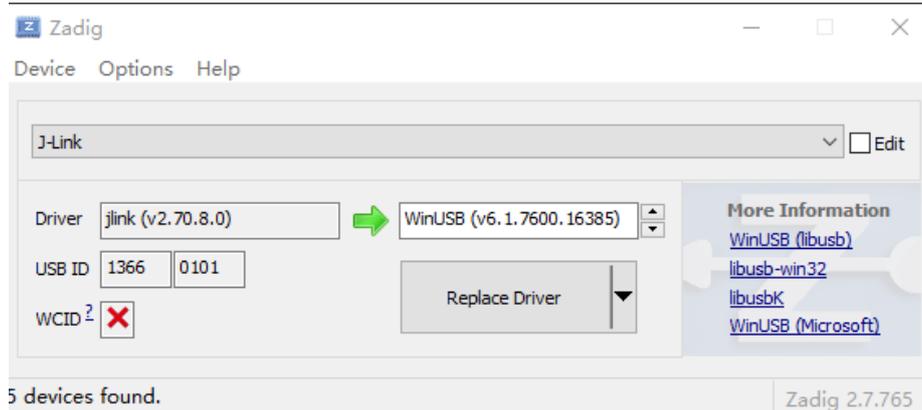


编译成功后即可得到最终烧写文件，led.bin。

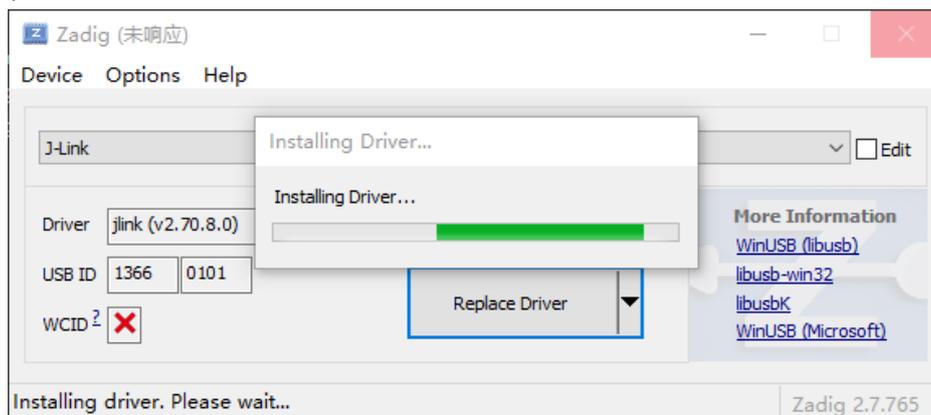
如未改变工程路径，修改设计代码后，Quartus 里只需执行正常的编译（Start Compilation）流程，可以不再执行 Migrate 和运行 af_quartus.tcl 文件的步骤。然后在 Supra 中打开 Tools -> Compile，完成编译即可。

5.) 安装 JLINK 驱动

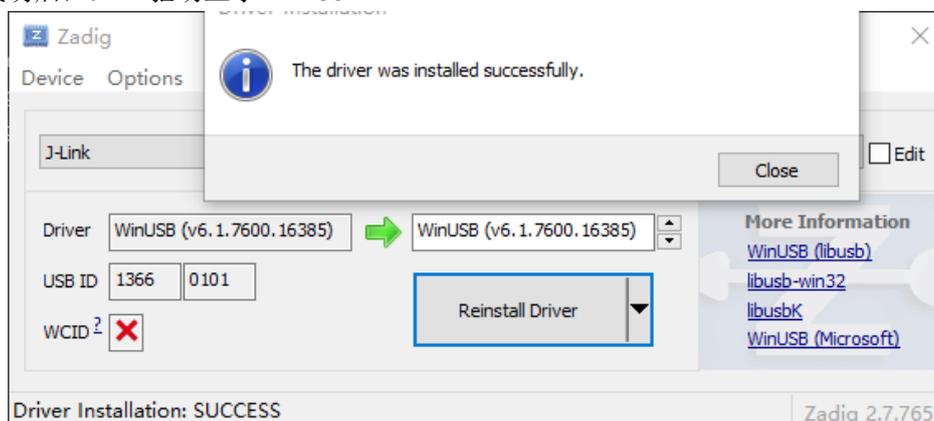
运行 supra 目录中提供的 **zadig-2.8.exe** 文件，点击菜单 Options - List all devices，选择下面的 Jlink。有的版本 Jlink 会显示为 BULK...等，驱动显示为已安装的原 Jlink 驱动。



点击 Replace Driver 按钮，把 Jlink 原驱动替换为 WinUSB 版本。



安装成功后，Jlink 驱动显示 WinUSB。



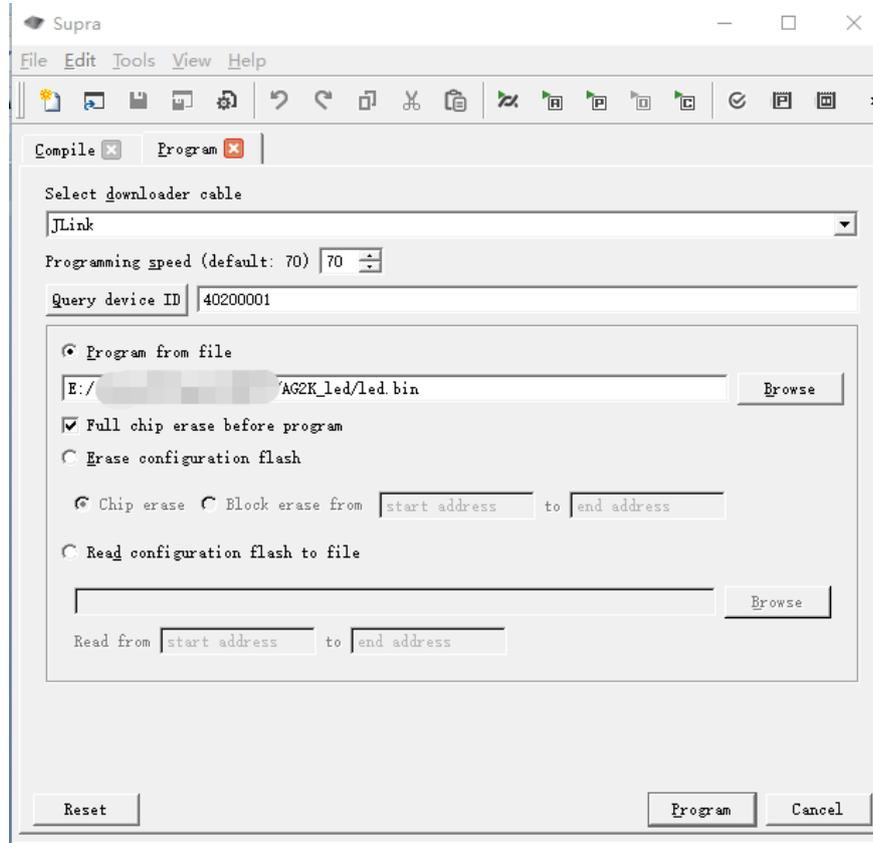
AGM Blaster（CMSIS-DAP）无需安装驱动，可参考相关文档。

6.) 芯片烧写:

Supra 软件中选 Tools → Program，下载线选 JLINK 或 CMSIS-DAP。速度默认即可。

可以先点击 Query device ID，查看是否检测到器件，正确 ID 为：40200001

选择编程文件 led.bin，点击 program 开始烧写文件。如没有出现错误信息，显示“done with code 0”，即烧写成功，程序开始运行。



- 内部 IP 的使用

1.) PLL

AGRV2K 器件支持 1 个 PLL。若需用到 PLL，可以直接在 Quartus II 工程中添加 MegaWizard IP (ALTPLL)，即可直接转换。不用在 Supra 中添加 IP。

PLL 输入时钟要选 IO_GB 管脚。如果用了别的 IO 输入，可以通过 ALTCLKCTRL IP 进入全局时钟网络，即可出到 PLL 的时钟输入。

注意：如果 PLL 输出时钟要直接输出到管脚，Supra 编译可能会出错。

因为 Quartus II 编译不会把输出放到全局时钟网络，可能自动分配到了 PLLOUT 专用管脚，AGRV2K 没有这种管脚。

这里可以在 Quartus II 工程里把这个输出管脚随意分配个普通 io 位置，比如 PIN_A3, PIN_A4 等。这样 Quartus II 编译出的网表文件就可以了，Supra 可以编译通过。当然，管脚位置最终还是按照 ve 文件分配的。

PLL 时钟输出到内部逻辑可以不用以上设置。

2.) RAM

AGRV2K 器件支持 4 个 M9K Block (1K Byte)，共 4K Byte 空间。可直接在 Quartus II 工程的 MegaWizard 中添加各种 Memory IP。不要超过 4 个 M9K。

3.) 内部晶振

AGRV2K 器件内部有一 8MHz 晶振，可作为逻辑设计的时钟输入，也可接入 PLL，并支持精度自校准。

设计中使用这个晶振的时钟输入，需要在 ve 文件中指定时钟输入管脚位置为 PIN_OSC，如：

```
clk PIN_OSC
```

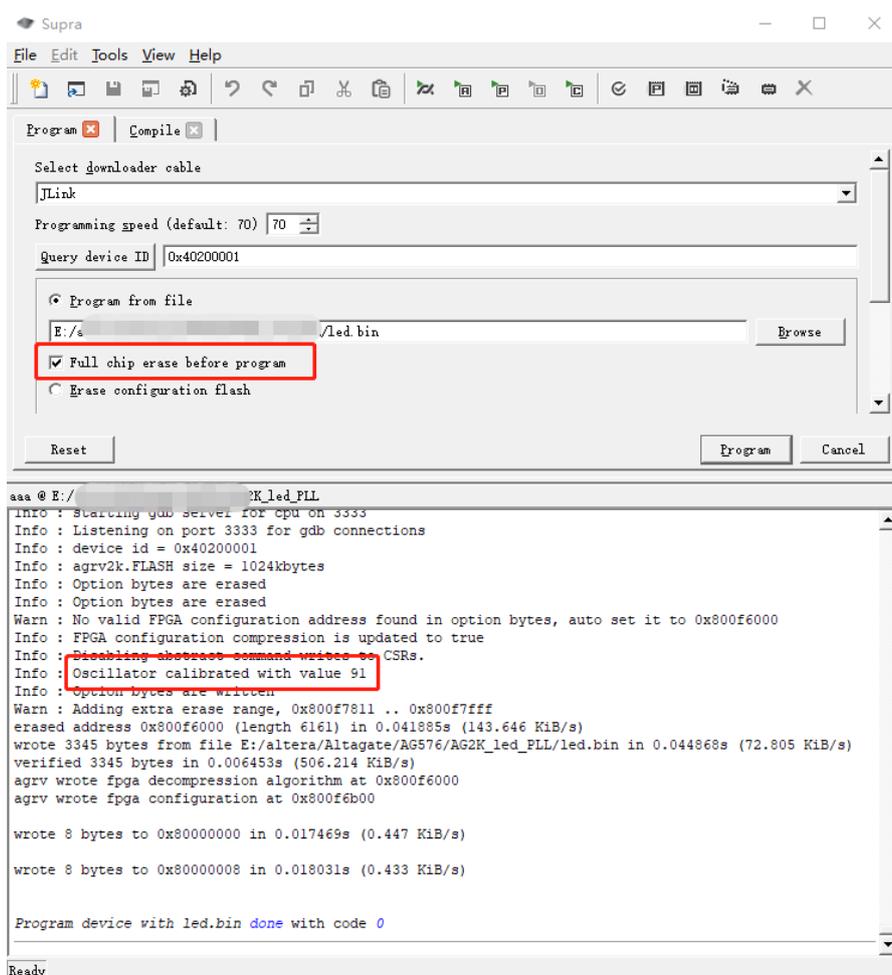
并在项目的设置文件，如 led.asf 中加入语句：

```
set_config -loc 18 0 0 CFG_RCOSC_EN 1'b1
```

工程编译完成后，烧录界面，Program 需选择“Full chip erase before program”。

Program 后显示的信息中包含“Info : Oscillator calibrated with value xx”即表示内部晶振已打开并校准，可以正常使用。

某些 JLINK 下载器时钟精度较差，利用 JLINK 校准后，时钟输出频率会偏差较大。建议用 AGM Blaster。



● 订货信息

AGRV2K 为 AGM 软件中的型号，实际是 AG32 MCU 系列芯片中的逻辑部分。所以芯片封装丝印为 AG32 MCU 的 AG32VF 系列型号。订货时只需参考 MCU 型号的对应封装，即可作为 AGRV2K 系列 CPLD 使用。

